

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 1 月 3 日 (03.01.2003)

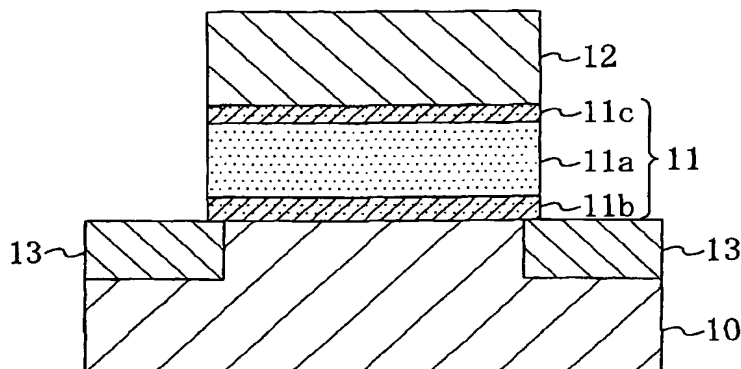
PCT

(10) 国際公開番号
WO 03/001605 A1

- (51) 国際特許分類: H01L 29/78, 21/336, 21/316 (72) 発明者: 原田 佳尚 (HARADA, Yoshinao); 〒617-0833 京都府 長岡京市 久貝 3-1-5-105 Kyoto (JP).
- (21) 国際出願番号: PCT/JP02/05992
- (22) 国際出願日: 2002 年 6 月 17 日 (17.06.2002) (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒550-0004 大阪府 大阪市 西区靱本町 1 丁目 4 番 8 号 太平ビル Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): CN, KR.
- (30) 優先権データ: 60/299,478 2001 年 6 月 21 日 (21.06.2001) US (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 特願 2001-395734 2001 年 12 月 27 日 (27.12.2001) JP 添付公開書類:
10/122,366 2002 年 4 月 16 日 (16.04.2002) US — 国際調査報告書
- (71) 出願人: 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1006 番地 Osaka (JP).
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイドンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device has a gate electrode (12) above a silicon substrate (10) with a gate insulation film (11) in between. The gate insulation film (11) has a high-permittivity film (11a) consisting of a silicon-containing hafnium oxide film and a lower barrier film (11b) underlying the high-permittivity film (11a) and consisting of hafnium-containing silicon oxynitride film.

[続葉有]



WO 03/001605 A1



(57) 要約:

シリコン基板 10 上にゲート絶縁膜 11 を介してゲート電極 12 が形成されている。ゲート絶縁膜 11 は、シリコン含有ハフニウムオキサイド膜よりなる高誘電率膜 11 a と、高誘電率膜 11 a の下側に形成されており、ハフニウムを含むシリコン窒化酸化膜よりなる下部バリア膜 11 b とを有する。

明細書

半導体装置及びその製造方法

技術分野

本発明は、半導体装置及びその製造方法に関し、特にゲート絶縁膜に用いられる高誘電率膜に関するものである。

背景技術

近年の半導体装置における高集積化及び高速化に対する技術進展に伴い、M O S F E Tの微細化が進められている。微細化に伴いゲート絶縁膜の薄膜化を進めると、トンネル電流によるゲートリーク電流の増大等の問題が顕在化してくる。この問題を抑制するために、ハフニウムオキサイド (HfO_2) やジルコニウムオキサイド (ZrO_2) 等の高誘電率材料を用いたゲート絶縁膜 (以下、high-kゲート絶縁膜と称する) により、薄い SiO_2 換算膜厚 (以下、E O Tと称する) を実現しながら物理的膜厚を厚くするという手法が研究されている。

例えばU S P 6 0 1 3 5 5 3に記載されている従来のhigh-kゲート絶縁膜の形成方法は次の通りである。まず、シリコン基板上に SiO_2 層等の酸化物層を形成した後、該酸化物層の上にスパッタ法又はプラズマC V D法等により、ジルコニウム又はハフニウムよりなる金属膜を蒸着する。その後、該金属膜に対して、例えばN O等のガスを用いた酸窒化処理を行なって、オキシ窒化ジルコニウム (ZrO_xN_y) 又はオキシ窒化ハフニウム (HfO_xN_y) よりなるhigh-kゲート絶縁膜を形成する。

しかしながら、従来のhigh-kゲート絶縁膜においては、製造プロセス中の高温処理による熱履歴が加わった場合に、ゲート絶縁膜を構成する高誘電率材料が結晶化してしまい、その結果として生じた結晶粒界又は欠陥準位を介した電気伝導

によってリーク電流増加が発生するという問題が生じる。すなわち、従来のhigh-kゲート絶縁膜の熱的安定性は不十分であった。

発明の開示

前記に鑑み、本発明は、高い比誘電率が確保されており且つ熱的に安定なゲート絶縁膜を用いた半導体装置を実現できるようにすることを目的とする。

前記の目的を達成するために、本発明に係る半導体装置は、基板上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを備え、ゲート絶縁膜は、一の金属、酸素及びシリコンを含む高誘電率膜と、高誘電率膜の下側に形成されており、一の金属、酸素、シリコン及び窒素を含む下部バリア膜とを有する。

本発明の半導体装置によると、ゲート絶縁膜を構成する高誘電率膜がシリコンを含むため、製造プロセス中の高温処理（例えば900℃程度の不純物活性化熱処理）によって高誘電率膜が結晶化することを防止できる。このため、完成後の半導体装置において、高誘電率膜の大部分がアモルファス状態に保たれるので、high-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

また、本発明の半導体装置によると、ゲート絶縁膜における高誘電率膜の下側に下部バリア膜が存在するため、高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、高誘電率膜と同じ金属が含まれているため、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

本発明の半導体装置において、ゲート絶縁膜は、高誘電率膜の上側に形成された上部バリア膜を有し、該上部バリア膜は、一の金属、酸素及び窒素を含むこと

が好ましい。

このようにすると、ゲート電極材料と、高誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属が含まれているため、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

本発明の半導体装置において、一の金属、酸素及びシリコンをそれぞれM、O及びSiとして高誘電率膜の組成を M_xSi_yO （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、

$0.23 \leq y / (x + y) \leq 0.90$ であることが好ましい。

このようにすると、high-kゲート絶縁膜の比誘電率を十分保ちながら、900℃程度の熱処理に対してもhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

本発明の半導体装置において、一の金属、酸素及びシリコンをそれぞれM、O及びSiとして高誘電率膜の組成を M_xSi_yO （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、

$0.23 \leq y / (x + y) \leq 0.30$ であることが好ましい。

このようにすると、high-kゲート絶縁膜の信頼性寿命を十分保ちながら、900℃程度の熱処理に対してもhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

本発明の半導体装置において、一の金属はハフニウム又はジルコニウムであり、一の金属、酸素、シリコン及び窒素をそれぞれM、O、Si及びNとして下部バリア膜の組成を M_xSi_yON （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、

$x / (x + y) \geq 0.10$ であることが好ましい。

このようにすると、下部バリア膜の比誘電率を確実に高くすることができる。

本発明の半導体装置において、ゲート電極はメタルゲート電極であってもよい。

本発明に係る第1の半導体装置の製造方法は、基板上に、一の金属、酸素及び所定の物質を含む高誘電率膜を形成する工程と、高誘電率膜に対して熱処理を行なうことにより、基板側からシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えている。

第1の半導体装置の製造方法によると、所定の物質を含む高誘電率膜に対して熱処理を行なうことによって、高誘電率膜から所定の物質を脱離させることができ、それにより形成された空孔を介してシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成できる。このため、高誘電率膜中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有高誘電率膜の緻密化が進む。ここで、シリコン含有高誘電率膜は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有高誘電率膜の大部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有高誘電率膜を有するゲート絶縁膜、つまりhigh-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に半導体装置の製造におけるプロセスマージンを大きくすることができる。

第1の半導体装置の製造方法において、所定の物質は水素であることが好ましい。

このようにすると、高誘電率膜中にシリコンを確実に拡散させることができる。

第1の半導体装置の製造方法において、高誘電率膜を形成する工程よりも前に、基板上に、シリコン、窒素及び所定の物質を含む絶縁膜を形成する工程を備え、高誘電率膜に対して熱処理を行なう工程は、絶縁膜に含まれるシリコンを高誘電率膜中に拡散させる工程と、高誘電率膜に含まれる一の金属を絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことが好ましい。

このようにすると、高誘電率膜中にシリコンを確実に含ませることができる。また、高誘電率膜又はシリコン含有高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、シリコン含有高誘電率膜と同じ金属を含ませることができるため、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属と所定の物質とを含むソースプリカーサを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属を含むソースプリカーサと、所定の物質を含むソースガスとを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

第1の半導体装置の製造方法において、高誘電率膜を形成する工程は、所定の物質を含む雰囲気中で一の金属を含むターゲットを用いたPVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、所定の物質を含む高誘電率膜を確実に形成することができる。

本発明に係る第2の半導体装置の製造方法は、基板上に、一の金属、酸素及び水素を含む高誘電率膜を形成する工程と、高誘電率膜に対して熱処理を行なうことにより、基板側からシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えている。

第2の半導体装置の製造方法によると、水素を含む高誘電率膜に対して熱処理

を行なうことによって、高誘電率膜から水素を脱離させることができ、それにより形成された空孔を介してシリコンを高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成できる。このため、高誘電率膜中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有高誘電率膜の緻密化が進む。ここで、シリコン含有高誘電率膜は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有高誘電率膜の大部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有高誘電率膜を有するゲート絶縁膜、つまりhigh-kゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-kゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に半導体装置の製造におけるプロセスマージンを大きくすることができる。

第2の半導体装置の製造方法において、高誘電率膜を形成する工程よりも前に、基板上に、シリコン、窒素及び水素を含む絶縁膜を形成する工程を備え、高誘電率膜に対して熱処理を行なう工程は、絶縁膜に含まれるシリコンを高誘電率膜中に拡散させる工程と、高誘電率膜に含まれる一の金属を絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことが好ましい。

このようにすると、高誘電率膜中にシリコンを確実に含ませることができる。また、高誘電率膜又はシリコン含有高誘電率膜と基板とが反応することを防止できる。また、下部バリア膜に、シリコン含有高誘電率膜と同じ金属を含ませることができるため、下部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金属と水素とを含むソースプリカーサを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、水素を含む高誘電率膜を確実に形成することができる。

第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、一の金

属を含むソースプリカーサと、水素を含むソースガスとを用いたCVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、水素を含む高誘電率膜を確実に形成することができる。

第2の半導体装置の製造方法において、高誘電率膜を形成する工程は、水素を含む雰囲気中で一の金属を含むターゲットを用いたPVD法により高誘電率膜を形成する工程を含むことが好ましい。

このようにすると、水素を含む高誘電率膜を確実に形成することができる。

第1又は第2の半導体装置の製造方法において、一の金属はハフニウム又はジルコニウムであることが好ましい。

このようにすると、シリコン含有高誘電率膜の比誘電率を確実に高くすることができる。

第1又は第2の半導体装置の製造方法において、高誘電率膜に対して熱処理を行なう工程と導電膜を形成する工程との間に、シリコン含有高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることが好ましい。

このようにすると、ゲート電極材料と高誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属を含ませることができるため、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

第1又は第2の半導体装置の製造方法において、高誘電率膜を形成する工程と高誘電率膜に対して熱処理を行なう工程との間に、高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることが好ましい。

このようにすると、ゲート電極材料と高誘電率膜材料とが互いに拡散することを防止できる。また、上部バリア膜に、高誘電率膜と同じ金属を含ませることができるため、上部バリア膜の比誘電率を高くでき、それによってゲート絶縁膜全体の比誘電率を高くすることができる。

第1又は第2の半導体装置の製造方法において、高誘電率膜に対して熱処理を

行なう工程における熱処理温度は600℃以上且つ850℃以下であることが好ましい。

このようにすると、高誘電率膜から所定の物質又は水素を確実に脱離させることができ、それによって高誘電率膜中にシリコンを確実に拡散させることができる。

第1又は第2の半導体装置の製造方法において、一の金属、酸素及びシリコンをそれぞれM、O及びSiとしてシリコン含有高誘電率膜の組成を $M_xSi_yO_z$ （但し $x > 0$ 且つ $y > 0$ ）と表記すると共に製造プロセスでの最高温度をT [℃]と表記したときに、

$T \leq 6.69 \cdot y / (x + y) + 749.4$ であることが好ましい。

このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜の熱的安定性を確実に保つことができる。

この場合、ゲート電極はシリコンを含む材料よりなり、

$y / (x + y) \leq 0.30$ であることが好ましい。

このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜の信頼性寿命を十分に保つことができる。

第1又は第2の半導体装置の製造方法において、ゲート電極はメタルゲート電極であり、導電膜を形成する工程よりも後に、基板に対して熱処理を行なう工程を備えていることが好ましい。

このようにすると、シリコン含有高誘電率膜を有するhigh-kゲート絶縁膜中の欠陥をより一層低減できる。

図面の簡単な説明

図1は本発明の第1の実施形態に係る半導体装置の断面図である。

図2は、 HfO_2 に添加するSi量と、 HfO_2 の結晶化温度及び熱的安定性保証温度との関係を示す図である。

図3は、色々なプロセス最高温度に対応して求められた、熱的安定性を保持できるHfシリケートの組成の許容範囲を示す図である。

図4は、HfO₂膜に添加するSi量と、HfO₂膜の比誘電率との関係を示す図である。

図5は、HfO₂膜に添加するSi量と、HfO₂膜の信頼性寿命との関係を示す図である。

図6は、HfO₂膜に添加するSi量と、HfO₂膜の熱的安定性及び信頼性との関係を示す図である。

図7(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図8(a)～(c)は本発明の第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

図9(a)～(d)は本発明の第2の実施形態に係る半導体装置の製造方法におけるPDAの作用を説明するための図である。

図10は、熱処理によってHfO₂膜から脱離していく水素を、TDS法によって測定した結果を示す図である。

図11は、本発明の第2の実施形態に係る半導体装置の製造方法におけるHf-*t-butoxide*を用いたCVD法により形成されたH含有HfO₂膜に対して、熱処理後にC-V測定を行なった結果を示す図である。

図12は、比較例として水素を含まないソースを用いたCVD法により形成されたH非含有HfO₂膜に対して、熱処理後にC-V測定を行なった結果を示す図である。

図13は、Si基板/SiN膜/HfO₂膜/ポリシリコン膜の積層構造を有するMOSキャパシタにおいて、H含有HfO₂膜（本発明の第2の実施形態）及びH非含有HfO₂膜（比較例）をそれぞれ用いた場合の熱的安定性を比較した結果を示す図である。

図14は、MOSキャパシタの絶縁膜である HfO_2 膜に対して、本発明の第2の実施形態に係る半導体装置の製造方法のPDAを行なった場合における、 HfO_2 膜成膜直後の物理膜厚と、MOSキャパシタ完成後のリーク電流との関係を示す図である。

発明を実施するための最良の形態

第1の実施形態

以下、本発明の第1の実施形態に係る半導体装置、具体的にはMISFETについて、図面を参照しながら説明する。

図1は、第1の実施形態に係る半導体装置の断面構成を示している。

図1に示すように、シリコン基板10上にゲート絶縁膜11を介してゲート電極12が形成されている。また、シリコン基板10におけるゲート電極12の両側には、ソース領域又はドレイン領域となる不純物拡散層13が形成されている。ゲート絶縁膜11は、絶縁性金属酸化物よりなる高誘電率膜11aと、高誘電率膜11aの下側に形成された下部バリア膜11bと、高誘電率膜11aの上側に形成された上部バリア膜11cとを有している。

具体的には、高誘電率膜11aは、高い比誘電率を持つハフニウムオキシド(HfO_2)にシリコンが含まれた物質、つまりシリコン含有ハフニウムオキシド($\text{Hf}_x\text{Si}_y\text{O}_2$ (但し $x > y > 0$))から構成されている。また、シリコン基板10と高誘電率膜11aとの反応を防止する下部バリア膜11bは、例えばハフニウムを含むシリコン窒化酸化膜よりなる。また、高誘電率膜11aとゲート電極12との反応を防止する上部バリア膜11cは、例えば窒素を含むシリコン含有ハフニウムオキシド膜よりなる。すなわち、下部バリア膜11b及び上部バリア膜11cは高誘電率バリア膜である。さらに、ゲート電極12は、例えばリンがドーブされたポリシリコン膜よりなる。

尚、高誘電率膜11aが窒素を含んでいてもよい。また、ゲート絶縁膜11の

物理的膜厚が4 nm程度の場合、高誘電率膜11aの物理的膜厚は2 nm程度であり、下部バリア膜11bの物理的膜厚は1 nm弱であり、上部バリア膜11cの物理的膜厚は1 nm強である。また、高誘電率膜11a、下部バリア膜11b及び上部バリア膜11cはいずれもアモルファス状態である。

本実施形態において、高誘電率膜11aとなるHfO₂膜にシリコンを含ませた理由は、高誘電率膜11aの熱的安定性を保つためである。言い換えれば、シリコンを含む高誘電率膜11aは、高温の熱処理が加わった場合にも結晶化しにくいので（或いは部分的にしか結晶化せずアモルファス状態のまま維持されるので）、結晶粒界又は欠陥準位に起因したリーク電流増加を抑制できるからである。以下、図面を参照しながら具体的に説明する。

図2は、HfO₂に添加するシリコン（Si）量と、HfO₂の結晶化温度及び熱的安定性保証温度との関係を示している。ここで、結晶化温度とはアモルファス状態から結晶状態へ変化し始める温度である。すなわち、結晶化温度を境にして状態変化が始まるので、結晶化温度を越えても直ちに物体（HfO₂）全体が結晶化されるわけではない。

図2において、横軸は、単位体積のHfO₂に含まれるSi原子の数（以下、Si濃度とする）と単位体積のHfO₂に含まれるHf原子の数（以下、Hf濃度とする）との和に対するSi濃度の比 X_1 （％表示）を示している。すなわち、横軸左端（ $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100 = 0\%$ ）はSiが全く含まれないHfO₂を表し、横軸右端（ $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100 = 100\%$ ）はHfが全く含まれないSiO₂を表す。また、縦軸は温度を示している。

図2に示すように、比 X_1 の増加に従って、つまり添加Si量の増加に従って、HfO₂の結晶化温度及び熱的安定性保証温度は上昇する。すなわち、HfO₂にシリコンを加えることによって、HfO₂の熱的安定性が増していくことがわかる。これは、Si量を増やすことにより、Si含有HfO₂つまりHfシリ

ケート材料がアモルファス状態を維持しやすくなり、その結果、高温下でも HfO_2 膜全体が結晶化しにくくなってアモルファス状態のまま維持されるからである。

ここで、熱的安定性保証温度とは、 HfO_2 よりなる絶縁膜を有する MOS キャパシタ構造に対して RTP (rapid thermal process) 装置により 1 atm の N_2 ガス中で 30 秒間のアニール処理を行なう場合において絶縁膜に急激なリーク電流の増大が生じ始めるアニール温度である。従って、熱的安定性保証温度よりも下の温度では、Si 含有 HfO_2 膜を用いた MOS キャパシタ構造におけるリーク電流及び容量は理想的な値を示す。その一方、熱的安定性保証温度よりも上の温度では、Si 含有 HfO_2 膜における局所的な欠陥の急増に起因して MOS キャパシタのリーク電流が急激に 3 桁程度も増加する。このとき、C-V (Capacitance-Voltage) 測定において Accumulation (蓄積) 状態での容量が発散してしまう結果、MOS キャパシタの容量測定は不可能となる。すなわち、熱的安定性保証温度よりも上の温度では、Si 含有 HfO_2 膜を用いた MOS キャパシタ構造は、キャパシタとしての役目を果たさなくなる。

また、比 X_1 を 70% 以上にすると、Si 含有 HfO_2 膜のほぼ全体を高温下でもアモルファス状態に保てるので、1200°C の高温プロセスが加わった場合にもリーク電流を抑制できる。また、比 X_1 が少なくとも 23% 以上あれば、Si 含有 HfO_2 膜が結晶化したときに生じる結晶は微結晶状態であって、膜全体としてはアモルファス状態が支配的であるため、900°C の高温プロセスが加わった場合にもリーク電流を抑制できる。ここで、対象材料の大部分がアモルファス状態である場合、或いは、熱的安定性つまり耐熱性にほとんど影響しない程度の多少の微結晶が対象材料中に含まれている場合も、アモルファス状態とみなしている。

また、図 2 に示すように、 $\text{Si 濃度} / (\text{Si 濃度} + \text{Hf 濃度}) \times 100$ を X_1 [%] と表記すると共に熱的安定性保証温度 (具体的にはポリシリコン電極を使用

した場合)を $T[^\circ\text{C}]$ と表記した場合、半導体装置の製造プロセスで利用できるプロセス温度の範囲と、Si含有 HfO_2 膜におけるSi濃度の範囲とを示す直線 $T = 6.69 \cdot X_1 + 749.4$ が定義できる。言い換えると、プロセス温度及びSi濃度は $T = 6.69 \cdot X_1 + 749.4$ よりも下側の範囲であることが必要である。具体的には、 X_1 の値つまりSi含有 HfO_2 の組成が決まっている場合、プロセス温度は、 X_1 の所定値と対応する熱的安定性保証温度 T 以下の温度範囲でなければならない。逆に、プロセスの最高温度が決まっている場合、該最高温度を熱的安定性保証温度 T としたときの X_1 の値よりも大きな X_1 を有するようにSiが添加された HfO_2 膜つまりHfシリケート膜を選択しなければならない。図1に示す本実施形態の半導体装置の構造の場合、前述のようにSi濃度を決定する対象は、例えばゲート絶縁膜11全体であってもよいし、ゲート電極12との接触を考慮してゲート絶縁膜11におけるゲート電極12との界面から下側2nm程度の範囲であってもよい。

図3は、図2に示す関係(実験結果)に基づき色々なプロセス最高温度に対応して求められた、熱的安定性を保持できるHfシリケートの組成(X_1)の許容範囲を示している。図3に示すように、例えば、プロセス最高温度が 900°C 程度である場合(例えば電極材料にポリシリコンを使用したプロセスの場合)、欠陥等に起因する急激なリーク電流増加の発生を防止して熱的安定性を保つためには、 X_1 は23%以上でなければならない。

図4は、 HfO_2 膜に添加するSi量と、 HfO_2 膜の比誘電率との関係を示している。図4において、上の横軸はSi量の目安となる、前述の $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ を示している。また、下の横軸はHf量の目安となる $X_2 = (\text{Hf濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ を示している。また、縦軸は HfO_2 膜の比誘電率を示している。また、□は比誘電率の実測値を示している。

図4に示すように、 HfO_2 膜の比誘電率は、 X_1 が0%のとき(つまりSi

を全く含まないHfO₂膜のとき)が最高で約2.4である。また、HfO₂膜中のSi量が増えるに従って比誘電率は減少するが、X₁が30%から90%までの間は比誘電率は約1.1程度のほぼ一定の値を維持する。さらに、HfO₂膜中のSi量が増えてX₁が90%を越えると、比誘電率は再び徐々に減少し始め、X₁が100%のとき(つまりHfを全く含まないSiO₂膜のとき)、比誘電率は約3.9となる。従って、X₁を90%以下にすることにより、言い換えると、X₂を10%以上にすることにより、相対的に高く且つ安定した比誘電率を有するHfシリケート膜を実現できる。

以上に説明してきた、図2～図4に示す結果によると、高誘電率膜11a(高誘電率膜11a自体に代えて高誘電率膜11aと下部バリア膜11b及び/又は上部バリア膜11cとが組み合わされた積層構造でもよい)が高い比誘電率を持ちながら熱的安定性を保つためには、シリコン含有HfO₂よりなる高誘電率膜11aにおける $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ は23%以上90%以下に設定されることが重要である。

尚、 $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ は、高誘電率膜11aの組成をHf_xSi_yO(但しx>0且つy>0)と表記したときの $(y / (x + y)) \times 100$ と同意である。同様に、 $X_2 = (\text{Hf濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ は、 $(x / (x + y)) \times 100$ と同意である。また、X₁及びX₂はSi濃度とHf濃度との関係を表すものであるので、対象となるHfシリケートが、窒化HfシリケートとしてNを含んでいる場合、或いは、Cl、F及びH等の他の元素を含んでいる場合にも、X₁及びX₂を用いた以上の説明は有効である。

図5は、HfO₂膜に添加するSi量と、HfO₂膜の信頼性寿命(絶縁破壊に至るまでの時間)との関係を示している。図5において、上の横軸はSi量の目安となる、前述の $X_1 = (\text{Si濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ を示している。また、下の横軸はHf量の目安となる $X_2 = (\text{Hf濃度} / (\text{Si濃度} + \text{Hf濃度})) \times 100$ を示している。

+Hf濃度) $\times 100$ を示している。また、縦軸はHfO₂膜の信頼性寿命を示している。また、□はHfO₂膜の信頼性寿命の実測値を示している。

具体的には、組成の異なるHfシリケート膜を有するMOSキャパシタの色々なサンプルを用意して、TDD B (Time Dependent Dielectric Breakdown measurement) 試験を行なうことにより、不良率100ppm、絶縁膜面積(MOS面積)0.1cm²、温度100°C、印加電圧V_g = -1V、EOT(SiO₂換算膜厚) = 1.5nmという条件下で、Hfシリケート膜の長期信頼性寿命を推定した結果を図5に示している。ここで、各サンプルにおけるHfシリケート膜の組成は、Hfを含まないSiO₂からSiを含まないHfO₂までの範囲で変化する。また、各サンプルはP型基板上に形成されており、基板側を0Vとしてマイナスの一定ストレス電圧が電極に印加される。

より詳細には、TDD B試験に用いられる各サンプルの絶縁膜面積は3 \times 10⁻⁷cm²から5 \times 10⁻⁵cm²までの範囲であり、絶縁膜面積0.1cm²での信頼性寿命を求める場合には、絶縁膜中の欠陥がポアソン分布しているという仮定に基づく次式

絶縁膜面積1の信頼性寿命

$$= \text{絶縁膜面積2の信頼性寿命} \times (\text{絶縁膜面積2} / \text{絶縁膜面積1})^{(1/\beta)}$$

(但し β はワイブル傾き)を使用した。また、TDD B試験時の温度は室温から100°Cまでの範囲であり、温度100°Cでの信頼性寿命を求める場合には、温度変化に対して予め求められた信頼性寿命の活性化エネルギーを使用した。また、不良率100ppmでの信頼性寿命を求める場合には、TDD B試験により得られたワイブルプロットに基づきワイブル傾き β を求めた後、真性絶縁破壊の近似直線を延長した。さらに、TDD B試験では絶対値で1Vよりも大きなV_gを用いる一方、V_g = -1Vでの信頼性寿命を求める場合には、(V_g(TDD B試験時) - V_{fb}) / T_{ph} (但しV_{fb}はフラットバンド電圧、T_{ph}は絶縁膜全体の物理膜厚)の式から得られる、本当の電界E_{ox}(real)と対応する信

信頼性寿命の実験データを直線近似により延長した。

前述の様な方法を用いて得られた図5に示す結果によると、 X_1 （上の横軸）を30%以下にすることにより、言い換えると、 X_2 を70%以上にすることにより、Hfシリケート膜の信頼性寿命は10年以上となる。尚、図5においては、本当の電界 $E_{ox}(real)$ に対して、より低電圧側への信頼性寿命の推定を行なった結果を示したが、これに代えて、TDD B試験時の V_g 自体に対して、又は $(V_g(TDD B試験時) - V_{fb}) / EOT$ の式から得られる、有効的な電界 $E_{ox}(effective)$ に対して、より低電圧側への信頼性寿命の推定を行なった結果についてもほぼ同様の傾向を示した。

ところで、図2～図4に示す結果によると、熱的安定性と高い比誘電率とを重要視した場合、Hfシリケート膜における $X_1 = (Si濃度 / (Si濃度 + Hf濃度)) \times 100$ は23%以上90%以下に設定されることが好ましかった。一方、図5に示す結果によると、 X_1 を30%以下にすることにより、信頼性寿命を確保することができる。すなわち、熱的安定性及び高い比誘電率に加えて信頼性を重要視した場合、 X_1 の好ましい範囲は23%以上30%以下になる。但し、リプレースメントゲートプロセス（ダミーゲートを用いることによりソース・ドレイン領域の形成後にゲート電極の形成を可能とするプロセス）等の、ゲート絶縁膜形成後に高温処理が必要ないプロセスの場合、具体的にはゲート電極形成後に750℃以上の熱処理がないプロセスの場合、信頼性のみを重要視すればよいので、 X_1 の好ましい範囲は30%以下になる。

図6は、HfO₂膜に添加するSi量と、HfO₂膜の熱的安定性及び信頼性との関係を示している。

図6に示すように、Siを含むHfO₂膜よりなるhigh-kゲート絶縁膜における構造（組成）又はプロセス温度の好ましい範囲は大きく3つに分けられる。すなわち、熱的安定性のみを重要視する場合には、好ましい範囲は $T = 6.69 \cdot X_1 + 749.4$ よりも下側の範囲である。このとき、900℃のプロセス最高

温度において比誘電率の大きさも確保するためには、 X_1 は 23%以上90%以下に設定されなければならない。また、リブレースメントゲート等を使用した、ゲート絶縁膜形成後に高温処理が必要ないプロセスの場合、信頼性のみを重要視すれば良く、 X_1 は 30%以下に設定されればよい。さらに、従来の Si プロセスにおいて SiON に代えて high-k 材料をゲート絶縁膜材料として使用すると共に Poly-Si 又は SiGe 等をゲート電極材料として使用する場合、つまり、比較的高温の不純物活性化アニールがゲート絶縁膜形成後に行なわれる場合、熱的安定性及び信頼性の両方を重要視する必要があるため、 $T = 6.69 \cdot X_1 + 749.4$ よりも下側であり且つ X_1 は 30%以下である範囲が好ましい。このとき、プロセス最高温度が 900°C であるとする、 X_1 は 23%以上30%以下に設定されなければならない。尚、900°C は、ソース領域、ドレイン領域又は電極に含まれる不純物の活性化アニールにおける典型的な温度である。

以上に説明したように、第1の実施形態によると、ゲート絶縁膜 11 を構成する高誘電率膜 11a がシリコンを含む HfO_2 膜であるため、製造プロセス中の高温処理によって高誘電率膜 11a が結晶化することを防止できる。このため、完成後の半導体装置において、高誘電率膜 11a の大部分がアモルファス状態に保たれるので、ゲート絶縁膜 11 つまり high-k ゲート絶縁膜にリーク電流が生じることを抑制できる。従って、ゲート絶縁膜 11 の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

また、第1の実施形態によると、ゲート絶縁膜 11 における高誘電率膜 11a の下側に、シリコン、窒素及び酸素を含む下部バリア膜 11b が存在するため、高誘電率膜 11a とシリコン基板 10 とが反応することを防止できる。ここで、下部バリア膜 11b は、高誘電率膜 11a 中の酸素によってシリコン基板 10 が酸化されることを防止している。すなわち、シリコン基板 10 の表面に、 SiO_2 膜と同程度の比誘電率を有する酸化層が界面層として形成されると、ゲート絶

縁膜 11 全体としての比誘電率が極端に下がってしまうため、下部バリア膜 11 b を設けている。

また、第 1 の実施形態によると、下部バリア膜 11 b に、高誘電率膜 11 a と同じ金属、具体的にはハフニウムが含まれているため、下部バリア膜 11 b の比誘電率を通常のシリコン窒化酸化膜と比べて高くでき、それによってゲート絶縁膜 11 全体の比誘電率を高くすることができる。具体的には、図 4 に示すように、下部バリア膜 11 b においてシリコンに対してハフニウムを 10 % 以上導入する（つまり $X_2 \geq 10\%$ ）ことにより、下部バリア膜 11 b の比誘電率を効果的に大きくすることができる。それに対して、図 4 に示すように、下部バリア膜 11 b におけるシリコン含有量が大きくなりすぎると（具体的には $X_1 \geq 90\%$ であると）、比誘電率が急激に低下する。すなわち、下部バリア膜 11 b における Hf 濃度を $X_2 = 0\%$ から少しでも高くしておくことは、ゲート絶縁膜 11 全体の EOT を低減することに対して非常に効果的である。

また、第 1 の実施形態によると、ゲート絶縁膜 11 における高誘電率膜 11 a の上側に上部バリア膜 11 c が存在するため、ゲート電極 12 中の材料（本実施形態ではポリシリコン）と、高誘電率膜 11 a 中の材料（例えばハフニウム）とが必要以上に混じり合うことを防止でき、それによってゲート絶縁膜 11 の比誘電率の低下を抑制できる。ここで、上部バリア膜 11 c が窒素を含むことにより、上部バリア膜 11 c のバリア効果が向上する。また、上部バリア膜 11 c が、高誘電率膜 11 a と同じハフニウムを含むことにより、上部バリア膜 11 c の比誘電率を高くでき、それによってゲート絶縁膜 11 全体の比誘電率を高くすることができる。

尚、第 1 の実施形態において、高誘電率膜 11 a（高誘電率膜 11 a 自体に代えて高誘電率膜 11 a と下部バリア膜 11 b 及び／又は上部バリア膜 11 c とが組み合わされた積層構造でもよい）における $X_1 = (Si \text{ 濃度} / (Si \text{ 濃度} + Hf \text{ 濃度})) \times 100$ は 23 % 以上 90 % 以下に設定されることが好ましい。この

ようにすると、高誘電率膜 11a の比誘電率を高くできると共に、900℃程度の熱処理に対しても高誘電率膜 11a の結晶化を抑制して欠陥等に起因したリーク電流増加を防止できる。すなわち、ゲート絶縁膜 11 の比誘電率を十分保ちながら、ゲート絶縁膜 11 の熱的安定性を確実に保つことができる。このとき、高誘電率膜 11a における X_1 は 23% 以上 30% 以下に設定されることがさらに好ましい。このようにすると、前述の効果に加えて、高誘電率膜 11a つまりゲート絶縁膜 11 の信頼性寿命を十分保つことができる。また、リブレースメントゲート等の使用によりプロセス最高温度がかなり低くなる場合、 X_1 を 30% 以下に設定するだけで、ゲート絶縁膜 11 の比誘電率及び信頼性寿命を十分保ちながら、ゲート絶縁膜 11 の熱的安定性も保つことができる。

また、第 1 の実施形態において、ゲート絶縁膜 11 を構成する高誘電率材料として HfO_2 を用いたが、これに代えて、 ZrO_2 、 TiO_2 、 Ta_2O_5 、 La_2O_3 、 CeO_2 、 Al_2O_3 、又は BST（バリウムストロンチウムチタニウムオキサイド）等を用いてもよい。或いは、 $\text{Hf}_x\text{Al}_y\text{O}_2$ （但し $x > 0$ 且つ $y > 0$ ）等の 3 元系酸化物を用いてもよい。或いは、以上に述べたような金属酸化物に Si 原子が含まれた金属シリケートを用いてもよい。

また、第 1 の実施形態において、下部バリア膜 11b 及び上部バリア膜 11c を設けたが、ゲート電極 12 の材料等の選択によっては、下部バリア膜 11b 及び／又は上部バリア膜 11c を設けなくてもよい。

また、第 1 の実施形態において、ゲート電極 12 としてポリシリコン電極を用いたが、これに代えて、TiN 膜と Al 膜との積層膜（下層が TiN 膜）、Ta 膜、TiN 膜又は TaN 膜等の金属膜よりなる、いわゆるメタルゲート電極を用いてもよい。メタルゲート電極材料として TiN 膜又は TaN 膜等の金属膜を用いる場合、該金属膜に Si 又は Ge を混ぜてもよい。

第 2 の実施形態

以下、本発明の第2の実施形態に係る半導体装置の製造方法、具体的にはM I S F E Tの製造方法について、図面を参照しながら説明する。

図7 (a) ~ (c) 及び図8 (a) ~ (c) は、第2の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

まず、図7 (a) に示すように、p型シリコン (100) 基板20上に、素子分離絶縁膜 (図示省略) を形成してデバイス形成領域を区画した後、シリコン基板20の表面に対して標準R C A洗浄及び希釈H F 洗浄を行なう。その後、700℃程度の温度下でN H₃ ガスを用いて厚さ0.7 nm程度のシリコン窒化膜 (S i₃ N₄膜) 21 Aをシリコン基板20上に形成する。このとき、S i₃ N₄膜21 A中には水素が十分に取りこまれる。尚、S i₃ N₄膜21 Aは最終的に下部バリア膜21 (図7 (c) 参照) となる。

次に、図7 (b) に示すように、ハフニウムを含むソースプリカーサを用いたC V D (chemical vapor deposition) 法により、厚さ5 nm程度のハフニウムオキサイド (H f O₂) 膜22 Aをシリコン基板20上に形成する。具体的には、液体H f ソースであるH f - t - b u t o x i d e (C₁₆ H₃₆ H f O₄) 中に、キャリアガスである窒素 (N₂) ガスを通すことによって、H f - t - b u t o x i d eをバブリングさせてH f - t - b u t o x i d eを気化させる。そして、気化したH f - t - b u t o x i d eを含むN₂ ガスを、酸化剤である乾燥酸素 (O₂) ガスと共に、シリコン基板20 (ウェハ) が載置されたチャンバー内へ供給しながら、500℃程度の温度下でR T C V D (rapid thermal C V D) 処理を行なってH f O₂ 膜22 Aを形成する。

このとき、S i₃ N₄膜21 Aは、酸化剤のO₂ ガスにより酸化されてS i O N膜21 Bとなる。S i O N膜21 Bは、シリコン基板20とH f O₂ 膜22 Aとの間の反応を防止するバリア性を有すると共に水素を十分に含んでいる。尚、本実施形態では、シリコン基板20上にS i₃ N₄膜21 Aを形成した後、H f O₂ 膜22 Aの形成時にS i₃ N₄膜21 Aを酸化してS i O N膜21 Bを形成してい

るが、 Si_3N_4 膜21Aを形成することなく、 HfO_2 膜22Aの形成前にシリコン基板20の表面を N_2O ガスを用いて窒化することにより SiON 膜21Bを直接形成してもよい。

また、図7(b)に示す工程において、 HfO_2 膜22A中には、 Hf ソース中に含まれる水素(H)が自然に取りこまれる。一方、 Hf ソース中に含まれる炭素(C)は、酸化剤の O_2 ガスにより酸化されて CO 又は CO_2 となってチャンバー内から排気される。また、チャンバー内には、 Hf ソースを構成する元素である Hf 、 O 、 C 、 H に加えて N_2 ガスも存在するが、 500°C 程度の温度下では N_2 ガスは非常に不活性であるため、 N_2 ガスの寄与は無視できる。

SIMS 法(2次イオン質量分析法)により HfO_2 膜22Aを分析したところ、 HfO_2 膜22Aを構成する主要な元素は Hf 及び O であった。また、 HfO_2 膜22Aには $3 \times 10^{19} \sim 4 \times 10^{20} [\text{atoms}/\text{cm}^3]$ 程度の C と、 $5 \times 10^{20} \sim 4 \times 10^{21} [\text{atoms}/\text{cm}^3]$ 程度の H とが含有されていた。

次に、 HfO_2 膜22Aに対して熱処理(以下、 PDA (post deposition anneal))を行なう。 PDA は、例えば、窒素雰囲気中において 700°C 程度で30秒間行なう。ここで、 PDA を行なうことによって、 SiON 膜21Bと HfO_2 膜22Aとの積層構造に生じる変化を図9(a)～(d)を参照しながら詳しく説明する。前述のように、 PDA の実施前においては、図9(a)に示すように、 SiON 膜21B及び HfO_2 膜22Aはそれぞれ水素を含んでいる。ここで、 PDA を実施すると、図9(b)に示すように、 SiON 膜21B及び HfO_2 膜22Aのそれぞれから水素が水素ガスとして効果的に脱離する結果、図9(c)に示すように、 SiON 膜21B及び HfO_2 膜22Aのそれぞれの内部に空孔(図中の白丸)を形成できる。そして、図9(d)に示すように、これらの空孔を介してシリコン基板20又は SiON 膜21Bに含まれるシリコンが HfO_2 膜22A中に拡散すると共に、 HfO_2 膜22Aに含まれる Hf が SiON 膜21B中に拡散する。その結果、図7(c)に示すように、熱的安定性の

高いシリコン含有 HfO_2 膜22が形成されると共に、比誘電率の高い Hf 含有 SiON 膜よりなる下部バリア膜21が形成される。ここで、シリコン含有 HfO_2 膜22は、 HfO_2 膜22Aがシリコンの拡散により緻密化されることによって形成されている。また、下部バリア膜21の具体的な組成は第1の実施形態の下部バリア膜11bと同様である。

すなわち、PDAに伴う HfO_2 膜22A及び SiON 膜21Bからの水素脱離によって形成される空孔は、 Hf と Si との相互拡散を促進する効果を持つ。このとき、PDAの温度を700℃程度に設定することは、水素脱離を顕著にして空孔形成を容易にするという効果、及び、 Hf 又は Si の拡散を容易にするという効果、つまり二重の効果をもたらす。その結果、1回のPDAを行なうだけで、 HfO_2 膜22Aに Si を取り込んで熱的安定性の高いシリコン含有 HfO_2 膜22を形成できると共に SiON 膜21Bに Hf を取り込んで比誘電率の高い下部バリア膜21（ Hf 含有 SiON 膜）を形成できる。従って、シリコン含有 HfO_2 膜22及び下部バリア膜21を含むゲート絶縁膜25（図8（c）参照）全体としての熱的安定性も改善できると共に、ゲート絶縁膜25全体としての比誘電率も結果的に増大させることができる。

次に、シリコン含有 HfO_2 膜22の表面を軽く窒化することによって、図8（a）に示すように、比誘電率の高い厚さ2nm程度の上部バリア膜23を形成する。すなわち、上部バリア膜23は、窒素を含むシリコン含有 HfO_2 膜よりなる。尚、上部バリア膜23の具体的な組成は第1の実施形態の上部バリア膜11cと同様である。

次に、図8（b）に示すように、上部バリア膜23の上に、ゲート電極となるポリシリコン膜24を例えばCVD法を用いて形成する。その後、ゲート電極形成領域を覆うマスクパターン（図示省略）を用いて、ポリシリコン膜24、上部バリア膜23、シリコン含有 HfO_2 膜22及び下部バリア膜21に対して順次ドライエッチングを行なう。これにより、図8（c）に示すように、下部バリア

膜 2 1、シリコン含有 HfO_2 膜 2 2 及び上部バリア膜 2 3 の積層構造を有するゲート絶縁膜 2 5 を介して、シリコン基板 2 0 上にゲート電極 2 6 が形成される。その後、ゲート電極 2 6 をマスクとして、シリコン基板 2 0 に対してイオン注入を行なって、ソース領域又はドレイン領域となる不純物拡散層 2 7 を形成する。最後に、不純物拡散層 2 7 中の不純物を活性化させるため、 950°C 程度の温度下で 30 秒間程度の熱処理を行なう。以上に説明した工程によって、high-k ゲート絶縁膜を有する M I S 型電界効果トランジスタが完成する。

以上に説明したように、第 2 の実施形態によると、シリコン基板 2 0 上に、水素を含む HfO_2 膜 2 2 A を形成した後、 HfO_2 膜 2 2 A に対して熱処理 (P D A) を行なって水素を脱離させ、それにより形成された空孔を介してシリコンを HfO_2 膜 2 2 A 中に拡散させてシリコン含有 HfO_2 膜 2 2 を形成する。このため、 HfO_2 膜 2 2 A 中にシリコンを効率的に含ませることができると共に、最終的に空孔が消失してシリコン含有 HfO_2 膜 2 2 の緻密化が進む。ここで、第 1 の実施形態で述べたように、シリコン含有 HfO_2 膜 2 2 は製造プロセス中の高温処理によって結晶化しにくいため、シリコン含有 HfO_2 膜 2 2 の大部分が装置完成後においてもアモルファス状態に保たれる。その結果、シリコン含有 HfO_2 膜 2 2 を有するゲート絶縁膜 2 5、つまり high-k ゲート絶縁膜にリーク電流が生じることを抑制できる。従って、high-k ゲート絶縁膜の熱的安定性が向上するため、耐熱性の優れた半導体装置を実現できると共に、半導体装置の製造におけるプロセスマージンを大きくすることができる。

また、第 2 の実施形態によると、 HfO_2 膜 2 2 A を形成する前に、シリコン基板 2 0 上に、水素を含む Si_3N_4 膜 2 1 A を形成する。尚、 Si_3N_4 膜 2 1 A は、 HfO_2 膜 2 2 A を形成するときに酸化されて SiON 膜 2 1 B となる。その後、 HfO_2 膜 2 2 A に対して P D A を行なうときに、 SiON 膜 2 1 B に含まれるシリコンを HfO_2 膜 2 2 A 中に拡散させる。また、 SiON 膜 2 1 B から水素を脱離させ、それにより形成された空孔を介して HfO_2 膜 2 2 A に含ま

れるHfをSiON膜21B中に拡散させることにより下部バリア膜21を形成する。このため、HfO₂膜22A中にシリコンを確実に含ませることができる。また、HfO₂膜22A又はシリコン含有HfO₂膜22とシリコン基板20とが反応することを防止できる。また、下部バリア膜21に、シリコン含有HfO₂膜22と同じHfを含ませることができるため、下部バリア膜21の比誘電率を高くでき、それによってゲート絶縁膜25全体の比誘電率を高くすることができる。

また、第2の実施形態によると、HfO₂膜22Aに対してPDAを行なう工程と、ゲート電極26となるポリシリコン膜24を形成する工程との間に、シリコン含有HfO₂膜22の表面を窒化して上部バリア膜23を形成する。このため、ゲート電極26中の材料とシリコン含有HfO₂膜22中の材料とが互いに拡散することを防止できる。また、上部バリア膜23に、シリコン含有HfO₂膜22と同じHfを含ませることができるため、上部バリア膜23の比誘電率を高くでき、それによってゲート絶縁膜25全体の比誘電率を高くすることができる。

また、第2の実施形態によると、ハフニウムと水素とを含むソースプリカーサを用いたCVD法によりHfO₂膜22Aを形成するため、HfO₂膜22Aに水素を確実に含ませることができる。

以下、HfO₂膜22Aに対してPDAを行なう工程の特徴（例えば水素脱離によるHf及びSiの相互拡散）及び効果（例えば熱的安定性の改善）について、実験データを示す図面等を参照しながら説明する。

図10は、熱処理によってHfO₂膜から脱離していく水素を、TDS（thermal desorption spectroscopy：昇温脱離分光）法によって測定した結果を示している。図10において、横軸は熱処理温度を示しており、縦軸は、TDS法によって測定された水素ガスのスペクトル強度を示している。図10に示すように、熱処理温度が400℃程度に達すると、まず、HfO₂膜の表面に吸着した水

素が脱離し始める。その後、熱処理温度が700℃程度に達すると、HfO₂膜中に含まれる水素が脱離する。堆積直後のHfO₂膜に含まれており且つその後の熱処理によってHfO₂膜から最終的に脱離した水素分子の密度を求めたところ、 5.6×10^{20} [molecules/cm³]という高い結果が得られた。また、図10に示す結果によると、熱処理温度が700℃程度のときに、脱離水素の検知量が最も多くなっている。従って、PDAの温度としては700℃程度が最適であり、このように設定することによって、HfO₂膜に含まれる過剰な水素を脱離させてHfO₂膜を最も効果的に緻密化することができる。

また、液体HfソースであるHf-*n*-butoxideを用いたCVD法によりSi基板上に形成されたHfO₂膜のサンプルに対して超高真空中で加熱処理（昇温速度：10℃/分）を行ないながら、高分解能断面TEM（transmission electron microscope）を用いて昇温中のHfO₂膜の変化をその場観察したところ、以下のことが確認された。すなわち、室温（HfO₂膜の堆積直後）では、Si基板の上に、Si原子が多く且つHf原子が少ない界面層（SiON膜21Bと対応）が存在すると共に該界面層の上にSi原子が少なく且つHf原子が多いHfO₂層が存在する。その後、温度を上げていくと、620℃から850℃までの温度領域において、界面層とHfO₂層との間に、界面層よりもSi原子が少なく且つHfO₂層よりもHf原子が少ない相互拡散層が明らかに存在し始める。最終的に860℃で高温アニールを行なったところ、HfO₂層と相互拡散層との積層構造（シリコン含有HfO₂膜22と対応）の合計物理膜厚は、堆積時点（室温）のHfO₂層と比較して厚くなった。すなわち、相互拡散層の拡大によって界面層が縮小し、その結果、界面層を含むHfシリケート積層構造全体の比誘電率が高くなった。

尚、通常のPDAの場合、昇温速度が50℃/秒程度と高いと共に700℃程度の熱処理温度の保持時間も30秒程度と短いので、前述の高分解能断面TEMによる昇温中のその場観察と比較して、サーマルバジェット（熱負荷）が極めて

小さい。このため、PDAに起因したSi基板の酸化は1nm以下しか起こらず、また、前述の界面層はSi及びHfの相互拡散により非常に薄くなる結果、最終的な界面層（下部バリア膜21と対応）の厚さは0.5nm程度となる。従って、界面層を含むHfシリケート積層構造全体の比誘電率が高くなる結果、該積層構造全体のEOTは非常に小さくなる。すなわち、水素を含むHfソースを用いたCVD法によるHfO₂膜の形成は、high-kゲート絶縁膜の形成方法として非常に有利である。それに対して、水素を含まない、通常のHfソースを用いたCVD法によりHfO₂膜を形成し、該HfO₂膜に対して、前述の高分解能断面TEMによる昇温中のその場観察を行なったところ、界面層とHfO₂層との間で相互拡散はほとんど起こらず、その結果、HfO₂層の熱的安定性の改善、或いは界面層とHfO₂層との積層構造における比誘電率の増加は見られなかった。

図11は、Hf-terbutoxideを用いたCVD法により形成された、Hを含むHfO₂膜に対して、熱処理後にC-V測定を行なった結果を示している。具体的には、ゲート絶縁膜として物理膜厚3.0~3.3nmのHfO₂膜を用い且つゲート電極としてポリシリコンを用いたMOSキャパシタのサンプルに対して、ゲート電極に注入された不純物を活性化するためのアニールを900℃、950℃及び1050℃で行なった後に基板側を0Vとしてゲート電圧V_gを印加した。図11において、横軸はゲート電圧（V_g）を示しており、縦軸は、容量を示している。また、◆は900℃で熱処理を行なったときの容量の測定値を示しており、■は950℃で熱処理を行なったときの容量の測定値を示しており、▲は1050℃で熱処理を行なったときの容量の測定値を示している。

図11に示すように、Hf-terbutoxideから形成された、Hを含むHfO₂膜を用いた場合、活性化アニール温度を上げた場合においても、安定したC-Vカーブを示しており、理想的なMOSキャパシタとして耐えうる温度は1050℃以上にも達している。すなわち、Hを含むHfO₂膜においては、P

D Aによる水素脱離に伴ってHf及びSiの相互拡散が顕著に生じる結果、該HfO₂膜の表面側にもSi含有層が存在するため、ポリシリコンをゲート電極として使用した場合においても、図11に示すように、1050℃程度でも非常に安定な耐熱性を示している。

図12は、水素を含まないソース、具体的には、Hf-nitrato (Hf(NO₃)₄)を用いたCVD法により形成された、Hを含まないHfO₂膜に対して、熱処理後にC-V測定を行なった結果を比較例として示している。具体的には、ゲート絶縁膜として物理膜厚3.0～3.3nmのHfO₂膜を用い且つゲート電極としてポリシリコンを用いたMOSキャパシタのサンプルに対して、ゲート電極に注入された不純物を活性化するためのアニールを900℃、950℃及び1150℃で行なった後に基板側を0Vとしてゲート電圧V_gを印加した。図12において、横軸はゲート電圧(V_g)を示しており、縦軸は、容量を示している。また、■は900℃で熱処理を行なったときの容量の測定値を示しており、◆は950℃で熱処理を行なったときの容量の測定値を示しており、▲は1150℃で熱処理を行なったときの容量の測定値を示している。

図12に示すように、Hf-nitratoから形成された、Hを含まないHfO₂膜を用いた場合、理想的なMOSキャパシタとして耐えうる温度は900℃程度までである。図11及び図12に示す結果を総合すると、Hを含むHfO₂膜を用いた場合の熱的安定性保証温度は1050℃程度以上である一方、Hを含まないHfO₂膜を用いた場合の熱的安定性保証温度は900℃程度である。すなわち、Hを含むHfO₂膜を用いた場合の方が、熱的安定性保証温度において150℃以上もの改善が見られた。

図13は、Si基板/SiN膜/HfO₂膜/ポリシリコン膜の積層構造を有するMOSキャパシタにおいて、Hを含むHfO₂膜及びHを含まないHfO₂膜をそれぞれ用いた場合の熱的安定性を比較した結果を示している。具体的には、各MOSキャパシタのサンプルに対して、窒素雰囲気中で900℃から115

0°Cまでの温度の活性化アニールを30秒間行なった後に、基板側を0Vとして-1.0Vのゲート電圧(V_g)を印加してリーク電流 J_g の測定を行なった。また、Hを含むHfO₂膜はHf-terbuxideから形成されたものであり、Hを含まないHfO₂膜はHを含まないソースから形成されたものである。図13において、横軸は活性化アニール温度を示しており、縦軸は、リーク電流 J_g を示している。また、◆はHを含まないソースを用いた場合のリーク電流 J_g の測定値を示しており、□はHf-terbuxideを用いた場合のリーク電流 J_g の測定値の測定値を示している。

図13に示すように、Hf-terbuxideから形成された、Hを含むHfO₂膜を用いた場合には、活性化アニール温度を上げた場合でもリーク電流 J_g の増加は約1桁のみに抑制された。それに対して、Hを含まないHfO₂膜を用いた場合には、活性化アニール温度を上げたときにリーク電流 J_g が約3桁、つまりHを含むHfO₂膜を用いた場合と比べて1000倍程度も増加した。言い換えると、Hを含むHfO₂膜を用いた場合には、Hを含まないHfO₂膜を用いた場合と比べて欠陥生成確率を1000分の1程度以下に低減できる。

また、シリコン基板上に、Hを含むHfO₂膜及びHを含まないHfO₂膜のそれぞれを同じ物理膜厚(3nm)で堆積した場合に、界面層を含む各HfO₂膜のEOTを測定したところ、Hを含むHfO₂膜を堆積した場合は1.1nmであり、Hを含まないHfO₂膜を堆積した場合は1.6nmであった。つまり、Hを含むHfO₂膜を堆積した場合の比誘電率は、Hを含まないHfO₂膜を堆積した場合の比誘電率よりも約1.46倍高かった。これは、Hを含むHfO₂膜を堆積した場合、界面層とHfO₂層との間でSi及びHfの相互拡散が生じて界面層にHfが含まれるようになる結果、界面層部分の比誘電率が大きく低減することによって起こる。

また、シリコン基板上に、Hを含む厚さ3.5nmのHfO₂膜を形成した後、該HfO₂膜に対してPDA処理(800°C、30秒間)を行ない、その後、

Mg K α 線を用いたXPS (X-ray photoelectron spectroscopy) 法によりHfO₂膜の表面側からSi、O及びHfを測定したところ、PDA処理後のHfO₂膜の組成は、Hfが0.60、Siが0.49、Oが2.0と分析された。尚、XPS法による測定にあたっては、主としてHfO₂膜の表面側を観察するため、基板表面に対する脱出角度が57度の光電子を検出することによって、検出深さを2～3nm程度に設定した。前述の結果より、PDA処理後のHfO₂膜においては、Siが表面近くまで拡散してきていることが判明した。

図14は、MOSキャパシタの絶縁膜であるHfO₂膜（水素含有）に対してPDAを行なった場合における、HfO₂膜成膜直後の物理膜厚と、MOSキャパシタ完成後のリーク電流との関係を示している。具体的には、CVD法によりHを含むHfO₂膜を成膜した後、該HfO₂膜に対して、圧力約60000Pa（450torr）の窒素雰囲気中で800℃、30秒間のPDAを行ない、その後、ゲート電極となるポリシリコン膜を堆積した。その後、ポリシリコン膜に対してイオン注入を行なった後、圧力約110000Pa（760torr）の窒素雰囲気中で900℃、30秒間の活性化アニールを行ない、その後、基板側を0Vとして-1.0Vのゲート電圧（V_g）を印加してリーク電流J_gの測定を行なった。尚、HfO₂膜成膜直後の物理膜厚は、エリプソメトリー法（偏光法）を用いて測定されたものである。また、比較のため、HfO₂膜に対してPDAを行なう工程を省略したMOSキャパシタのサンプルについても、HfO₂膜成膜直後の物理膜厚と、MOSキャパシタ形成後のリーク電流との関係を調べた。

図14に示すように、PDAを行なった場合の方が、PDAを行なわない場合と比べてリーク電流J_gを小さく抑制できている。これは、PDAによってHfO₂膜中にSiが拡散する結果、活性化アニールによってHfO₂膜が結晶化することを防止できるため、完成後のMOSキャパシタにおいてHfO₂膜の大部分がアモルファス状態に保たれてゲートリーク電流増加を抑制できたものと考え

られる。また、Si含有HfO₂膜の緻密化によって、電極材料と高誘電率膜材料との反応を抑制できたことによっても、ゲートリーク電流が低減されたと考えられる。また、図14に示すように、PDAを行なった場合におけるゲートリーク電流抑制効果は、HfO₂膜の物理膜厚が小さくなるほど顕著に現れている。以上の結果から、ゲート絶縁膜となる高誘電率膜を堆積した後、ゲート電極の形成前に、高誘電率膜に対してPDA（ポスト・デポジション・アニール）を行なう工程を設けることは非常に重要であり、これによって、リーク電流を非常に効果的に低減できることが確認された。

尚、第2の実施形態において、ゲート電極26としてポリシリコン膜24を用いたが、これに代えて、金属膜を用いてもよい。例えば、シリコン含有HfO₂膜22の表面を窒化した後、ゲート電極26となるTiN膜及びAl膜をスパッタリング法により順次堆積してもよい。或いは、シリコン含有HfO₂膜22の表面を窒化した後、ゲート電極26となるTa膜を堆積してもよい。或いは、シリコン含有HfO₂膜22の表面を窒化することなく、TiN膜又はTa₂N膜等を堆積してもよい。この場合、TiN膜又はTa₂N膜等にSi又はGeを混ぜてもよい。また、以上のようにゲート電極26として金属膜を用いる場合、金属膜の形成後に、さらに熱処理（PMA：Post Metalization Anneal）を加えることによって、ゲート絶縁膜25中の欠陥をさらに低減することができる。このように形成されたMOS構造に対してC-V測定を行なうと、絶縁膜中の欠陥量と対応するヒステリシスの減少が確認される。また、PMAの温度は700℃以上が有効である。さらに、Hを含有するガス中で450℃、30分間程度のアニールを行なうと、ゲート絶縁膜25中の界面準位も低減できる。

また、第2の実施形態において、ゲート絶縁膜25を構成する高誘電率材料としてHfO₂を用いたが、これに代えて、ZrO₂、TiO₂、Ta₂O₅、La₂O₃、CeO₂、Al₂O₃、又はBST（バリウムストロンチウムチタニウムオキサイド）を用いてもよい。或いは、Hf_xAl_yO₂（但しx>0且つy>0）

等の3元系酸化物を用いてもよい。或いは、以上に述べたような金属酸化物にSi原子が含まれた金属シリケートを用いてもよい。尚、いずれの場合においても、水素を含有する高誘電率膜における前述の相互拡散の効果は、高誘電率膜の堆積時点での組成又は構成材料に関わらず実現される。

また、第2の実施形態において、液体HfソースプリカーサであるHf-tert-butoxideを用いたCVD法によりHfO₂膜22Aを堆積したが、これに代えて、CVD法を用いる場合には、水素とハフニウムとを含む他のHfソースプリカーサ、例えばテトラキスジエチルアミドハフニウム(TDEAH: Tetrakis diethylamido hafnium、C₁₆H₄₀N₄Hf)、テトラキスジメチルアミノハフニウム(TDMAH: Tetrakis dimethylamino hafnium、C₁₆H₃₆HfO₄)、又はテトラキス1メトキシ2メチル2プロポキシハフニウム(Hf(MMP)₄: Tetrakis 1-Methoxy-2-methyl-2-propoxy hafnium、Hf[OC(CH₃)₂CH₂OCH₃]₄)等を用いてもよい。或いは、ハフニウムを含む固体Hfソースプリカーサ、例えばHf-nitrate(Hf(NO₃)₄)と、水素を含むソースガス、例えば水素ガスとを用いたCVD法によりHfO₂膜を形成してもよい。或いは、スパッタ法等のPVD(physical vapor deposition)法を用いる場合には、水素を含む雰囲気中でハフニウムを含むターゲットを用いてもよい。具体的には、酸素ガス及びアルゴンガスに水素ガスを加えた雰囲気中でハフニウムターゲットを用いてもよいし、アルゴンガスに水素ガスを加えた雰囲気中でハフニウムオキシドターゲットを用いてもよい。尚、水素ガスは、高誘電率膜(HfO₂膜)中に水素を積極的に取りこませるために添加されている。

また、第2の実施形態において、HfO₂膜22A又はSi₃N₄膜21Aに所定の物質(空孔形成用物質)として水素を取りこませたが、これに代えて、例えばハロゲン系ガスを用いて塩素、フッ素又はヨウ素等を取り込ませてもよい。尚、空孔形成用物質としては、600~850℃程度の温度でHfO₂膜22A又はSi₃N₄膜21Aからガスとして脱離し且つこれにより形成された空孔を介し

てHf又はSiの拡散を促進できるものであればよい。また、HfO₂膜22A及びSi₃N₄膜21Aのそれぞれに含まれる空孔形成用物質が異なってもよい。

また、第2の実施形態において、シリコン基板20に対して、窒素を含むガス中で熱窒化又はプラズマ窒化等を行なうことによりSi₃N₄膜21Aつまり下部バリア膜21を形成してもよい。或いは、Si₃N₄膜21Aを形成することなく、HfO₂膜22Aの形成前にシリコン基板20の表面をN₂Oガスを用いて窒化することによりSiON膜21Bを直接形成してもよい。或いは、HfO₂膜22Aの蒸着形成の初期に窒素を含むガスを導入することによって、下部バリア膜21となる窒素含有の高誘電体絶縁膜をシリコン基板20上に直接形成してもよい。

また、第2の実施形態において、シリコン含有HfO₂膜22に対して、窒素を含むガス中で熱窒化又はプラズマ窒化等を行なうことにより上部バリア膜23を形成してもよい。或いは、ゲート電極26となるポリシリコン膜24の形成初期に窒素ガスを導入することによって、シリコン含有HfO₂膜22の表面を窒化して上部バリア膜23を形成してもよい。或いは、HfO₂膜22Aの蒸着形成の最終段階で窒素を含むガスを導入することによって、HfO₂膜22Aの表面側に、上部バリア膜23となる窒素含有の高誘電体絶縁膜を形成してもよい。

また、第2の実施形態において、HfO₂膜22Aに対してPDAを行なってシリコン含有HfO₂膜22を形成した後、シリコン含有HfO₂膜22の表面を窒化して上部バリア膜23を形成したが、これに代えて、HfO₂膜22Aの表面を窒化して上部バリア膜23を形成した後、HfO₂膜22Aに対してPDAを行なってシリコン含有HfO₂膜22を形成してもよい。

また、第2の実施形態において、下部バリア膜21、シリコン含有HfO₂膜22及び上部バリア膜23の積層構造全体が窒素を含有していてもよい。

また、第2の実施形態において、図7(b)に示す工程において、まず、気化

したHf-tert-butoxide等のソースをチャンバー内に送りこんだ後、酸素ガスをチャンバー内に供給し、その後、チャンバー内の温度を室温から昇温して300～500℃程度の範囲内の一定温度に保つことが好ましい。このようにすると、低温下でシリコン基板20上にHf分子をすばやく吸着させることができるため、HfO₂膜22Aを均一に形成できる。また、ソースガスの供給を開始してからHfO₂の結晶成長が起こるまでのインキュベーション時間を短くできる。さらに、HfO₂膜22Aとシリコン基板20との間に形成される界面層(SiON膜21B)を薄くすることができる。

また、第2の実施形態において、図7(c)に示す工程で用いられるPDAにおける熱処理温度は600℃以上且つ850℃以下であることが好ましい。このようにすると、HfO₂膜22Aから水素を確実に脱離させることができ、それによってHfO₂膜22A中にシリコンを確実に拡散させることができる。

また、第2の実施形態において、シリコン含有HfO₂膜22の組成をHf_xSi_yO(但しx>0且つy>0)と表記すると共に製造プロセスでの最高温度をT[℃]と表記したときに、

$T \leq 6.69 \cdot y / (x + y) + 749.4$ であることが好ましい。このようにすると、シリコン含有HfO₂膜22を有するゲート絶縁膜25の熱的安定性を確実に保つことができる。また、ゲート電極26がシリコンを含む材料よりなる場合には、

$T \leq 6.69 \cdot y / (x + y) + 749.4$ 且つ $y / (x + y) \leq 0.30$ であることが好ましい。このようにすると、シリコン含有HfO₂膜22を有するゲート絶縁膜25の熱的安定性及び信頼性を確実に保つことができる。

請求の範囲

1. 基板上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極とを備え、
前記ゲート絶縁膜は、
一の金属、酸素及びシリコンを含む高誘電率膜と、
前記高誘電率膜の下側に形成されており、前記一の金属、酸素、シリコン及び窒素を含む下部バリア膜とを有することを特徴とする半導体装置。
2. 請求項 1 において、
前記ゲート絶縁膜は、前記高誘電率膜の上側に形成された上部バリア膜を有し、
前記上部バリア膜は、前記一の金属、酸素及び窒素を含むことを特徴とする半導体装置。
3. 請求項 1 において、
前記一の金属、酸素及びシリコンをそれぞれM、O及びSiとして前記高誘電率膜の組成を $M_x Si_y O$ （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、
 $0.23 \leq y / (x + y) \leq 0.90$ であることを特徴とする半導体装置。
4. 請求項 1 において、
前記一の金属、酸素及びシリコンをそれぞれM、O及びSiとして前記高誘電率膜の組成を $M_x Si_y O$ （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、
 $0.23 \leq y / (x + y) \leq 0.30$ であることを特徴とする半導体装置。
5. 請求項 1 において、

前記一の金属はハフニウム又はジルコニウムであり、

前記一の金属、酸素、シリコン及び窒素をそれぞれM、O、Si及びNとして前記下部バリア膜の組成を $M_x Si_y O N$ （但し $x > 0$ 且つ $y > 0$ ）と表記したときに、

$x / (x + y) \geq 0.10$ であることを特徴とする半導体装置。

6. 請求項1において、

前記ゲート電極はメタルゲート電極であることを特徴とする半導体装置。

7. 基板上に、一の金属、酸素及び所定の物質を含む高誘電率膜を形成する工程と、

前記高誘電率膜に対して熱処理を行なうことにより、前記基板側からシリコンを前記高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、

前記シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

8. 請求項7において、

前記所定の物質は水素であることを特徴とする半導体装置の製造方法。

9. 請求項7において、

前記一の金属はハフニウム又はジルコニウムであることを特徴とする半導体装置の製造方法。

10. 請求項7において、

前記高誘電率膜を形成する工程よりも前に、前記基板上に、シリコン、窒素及び前記所定の物質を含む絶縁膜を形成する工程を備え、

前記高誘電率膜に対して熱処理を行なう工程は、前記絶縁膜に含まれるシリコンを前記高誘電率膜中に拡散させる工程と、前記高誘電率膜に含まれる前記一の金属を前記絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

1 1. 請求項 7 において、

前記高誘電率膜を形成する工程は、前記一の金属と前記所定の物質とを含むソースプリカーサを用いた C V D 法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

1 2. 請求項 7 において、

前記高誘電率膜を形成する工程は、前記一の金属を含むソースプリカーサと、前記所定の物質を含むソースガスとを用いた C V D 法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

1 3. 請求項 7 において、

前記高誘電率膜を形成する工程は、前記所定の物質を含む雰囲気中で前記一の金属を含むターゲットを用いた P V D 法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

1 4. 請求項 7 において、

前記高誘電率膜に対して熱処理を行なう工程と前記導電膜を形成する工程との間に、前記シリコン含有高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることを特徴とする半導体装置の製造方法。

1 5. 請求項 7 において、

前記高誘電率膜を形成する工程と前記高誘電率膜に対して熱処理を行なう工程との間に、前記高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることを特徴とする半導体装置の製造方法。

16. 請求項7において、

前記高誘電率膜に対して熱処理を行なう工程における熱処理温度は600℃以上且つ850℃以下であることを特徴とする半導体装置の製造方法。

17. 請求項7において、

前記一の金属、酸素及びシリコンをそれぞれM、O及びSiとして前記シリコン含有高誘電率膜の組成を $M_x Si_y O$ （但し $x > 0$ 且つ $y > 0$ ）と表記すると共に製造プロセスでの最高温度を $T [^{\circ}C]$ と表記したときに、

$T \leq 6.69 \cdot y / (x + y) + 749.4$ であることを特徴とする半導体装置の製造方法。

18. 請求項17において、

前記ゲート電極はシリコンを含む材料よりなり、

$y / (x + y) \leq 0.30$ であることを特徴とする半導体装置の製造方法。

19. 請求項7において、

前記ゲート電極はメタルゲート電極であり、

前記導電膜を形成する工程よりも後に、前記基板に対して熱処理を行なう工程を備えていることを特徴とする半導体装置の製造方法。

20. 基板上に、一の金属、酸素及び水素を含む高誘電率膜を形成する工程と、前記高誘電率膜に対して熱処理を行なうことにより、前記基板側からシリコン

を前記高誘電率膜中に拡散させてシリコン含有高誘電率膜を形成する工程と、

前記シリコン含有高誘電率膜の上にゲート電極となる導電膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

21. 請求項20において、

前記一の金属はハフニウム又はジルコニウムであることを特徴とする半導体装置の製造方法。

22. 請求項20において、

前記高誘電率膜を形成する工程よりも前に、前記基板上に、シリコン、窒素及び水素を含む絶縁膜を形成する工程を備え、

前記高誘電率膜に対して熱処理を行なう工程は、前記絶縁膜に含まれるシリコンを前記高誘電率膜中に拡散させる工程と、前記高誘電率膜に含まれる前記一の金属を前記絶縁膜中に拡散させることにより下部バリア膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

23. 請求項20において、

前記高誘電率膜を形成する工程は、前記一の金属と水素とを含むソースブリカーサを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

24. 請求項20において、

前記高誘電率膜を形成する工程は、前記一の金属を含むソースブリカーサと、水素を含むソースガスとを用いたCVD法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

25. 請求項20において、

前記高誘電率膜を形成する工程は、水素を含む雰囲気中で前記一の金属を含むターゲットを用いたPVD法により前記高誘電率膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

26. 請求項20において、

前記高誘電率膜に対して熱処理を行なう工程と前記導電膜を形成する工程との間に、前記シリコン含有高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることを特徴とする半導体装置の製造方法。

27. 請求項20において、

前記高誘電率膜を形成する工程と前記高誘電率膜に対して熱処理を行なう工程との間に、前記高誘電率膜の表面を窒化することにより上部バリア膜を形成する工程を備えていることを特徴とする半導体装置の製造方法。

28. 請求項20において、

前記高誘電率膜に対して熱処理を行なう工程における熱処理温度は600℃以上且つ850℃以下であることを特徴とする半導体装置の製造方法。

29. 請求項20において、

前記一の金属、酸素及びシリコンをそれぞれM、O及びSiとして前記シリコン含有高誘電率膜の組成を $M_x Si_y O$ （但し $x > 0$ 且つ $y > 0$ ）と表記すると共に製造プロセスでの最高温度を $T [^{\circ}C]$ と表記したときに、

$T \leq 6.69 \cdot y / (x + y) + 749.4$ であることを特徴とする半導体装置の製造方法。

30. 請求項29において、

前記ゲート電極はシリコンを含む材料よりなり、

$y / (x + y) \leq 0.30$ であることを特徴とする半導体装置の製造方法。

31. 請求項20において、

前記ゲート電極はメタルゲート電極であり、

前記導電膜を形成する工程よりも後に、前記基板に対して熱処理を行なう工程を備えていることを特徴とする半導体装置の製造方法。

Fig. 1

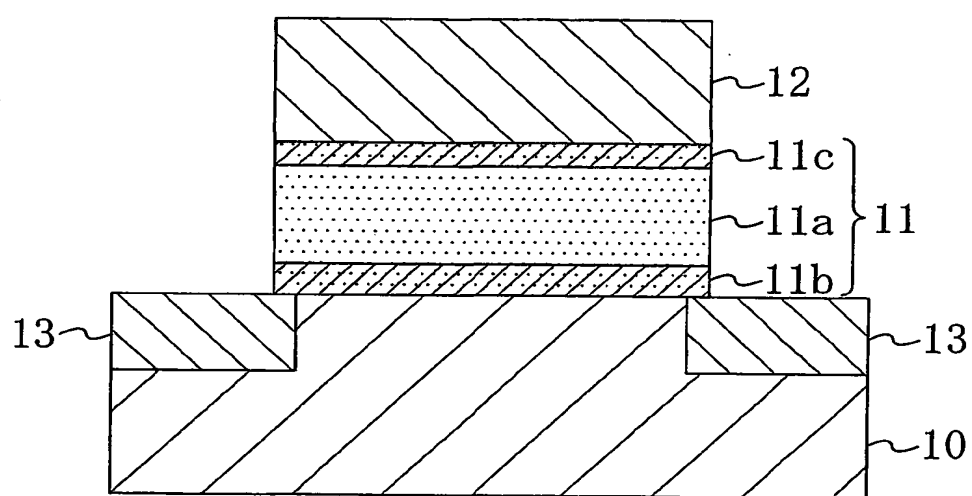


Fig. 2

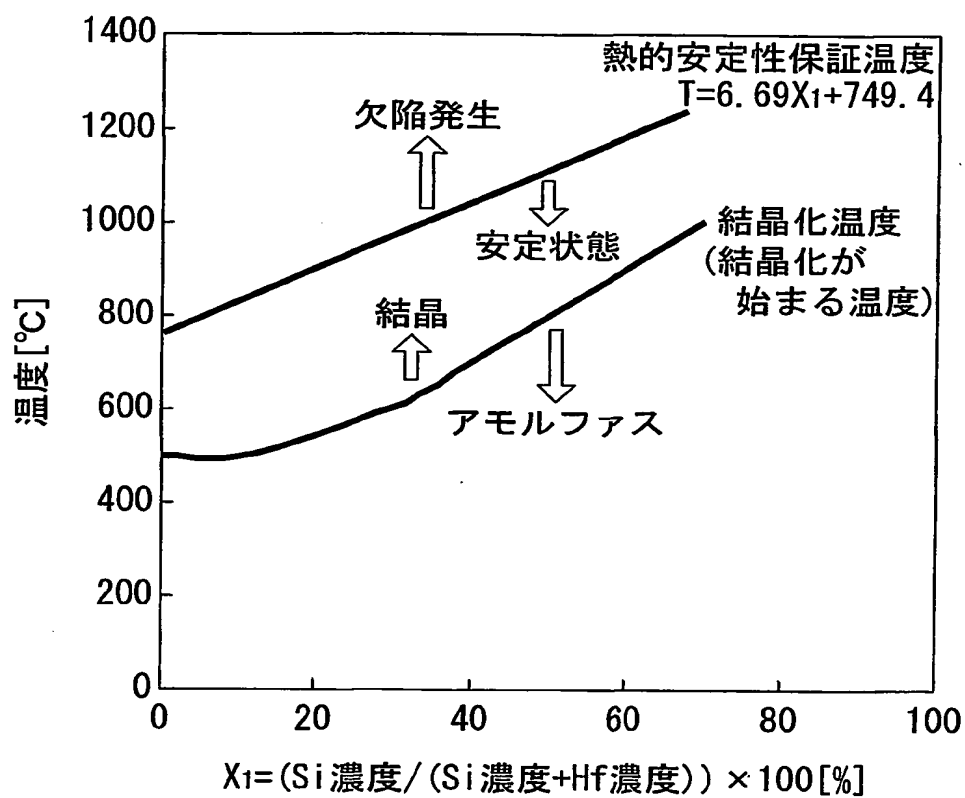


Fig. 3

A	B
750	≥ 0.1
800	≥ 7.6
850	≥ 15.0
900	≥ 23.0
950	≥ 30.0
1000	≥ 37.5
1050	≥ 45.0
1100	≥ 52.4

A: プレート最高温度

B: Hfシケートの熱的安定性が保たれる
(Si濃度/(Si濃度+Hf濃度)) × 100[%] の実用範囲

Fig. 4

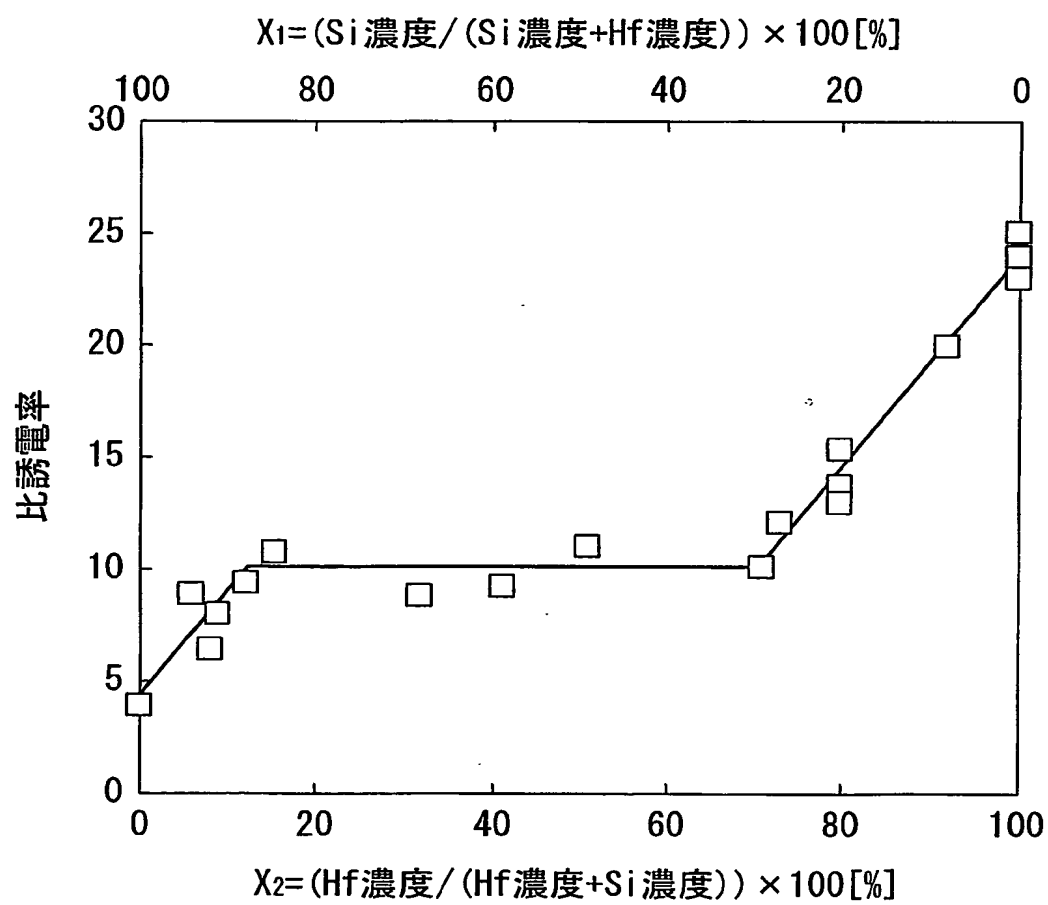
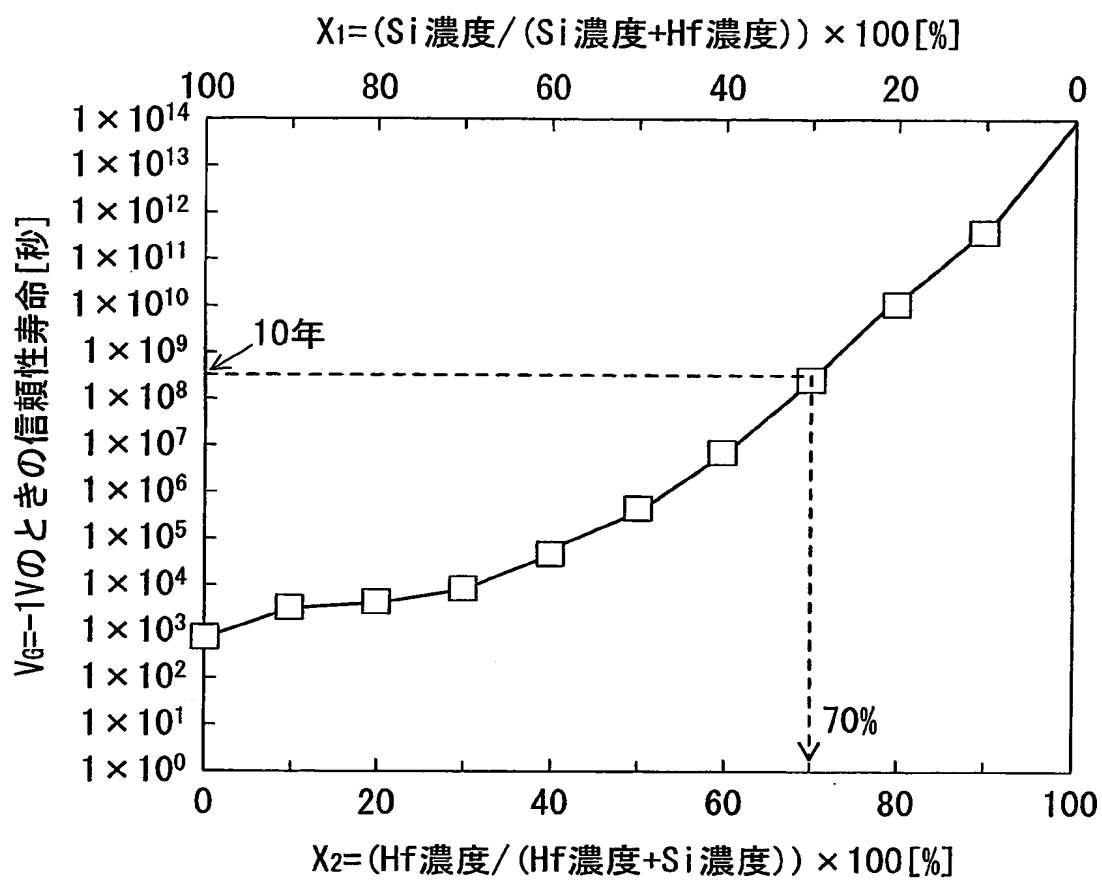


Fig. 5



Eox (real) モデル

EOT=1.5nm

不良率=100ppm

MOS面積=0.1cm²

温度=100°C

Fig. 6

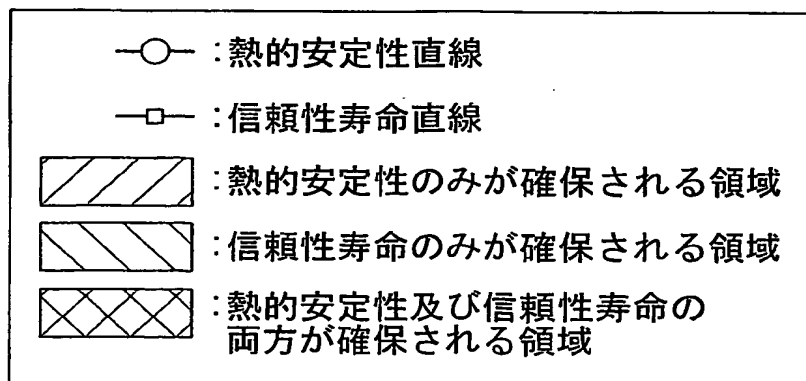
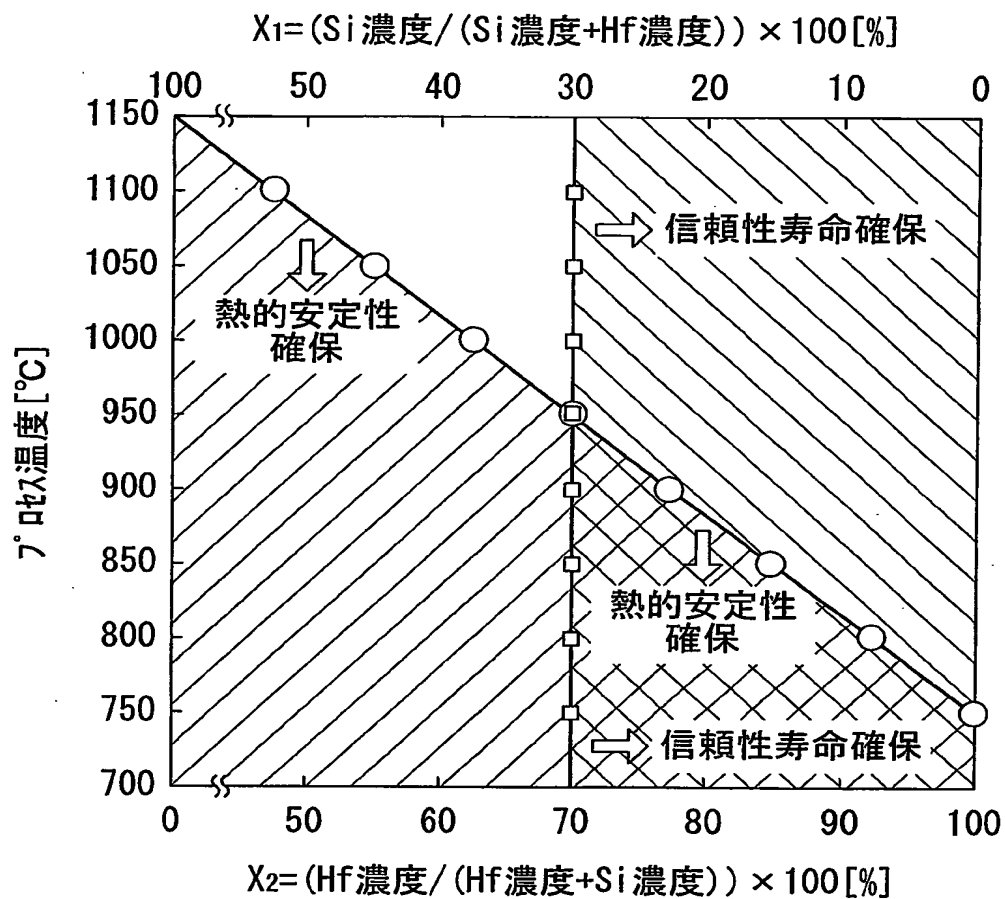


Fig. 7

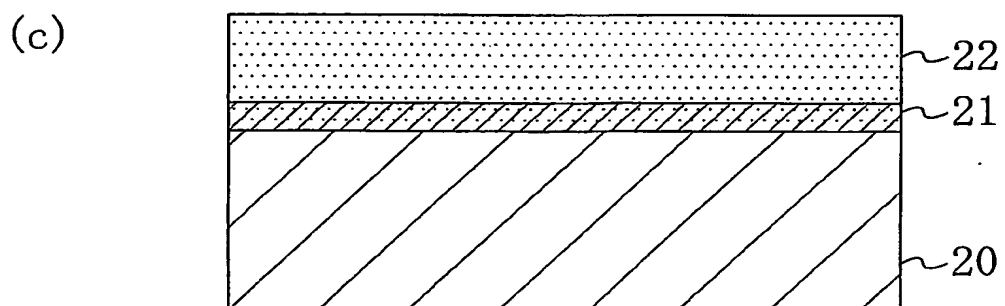
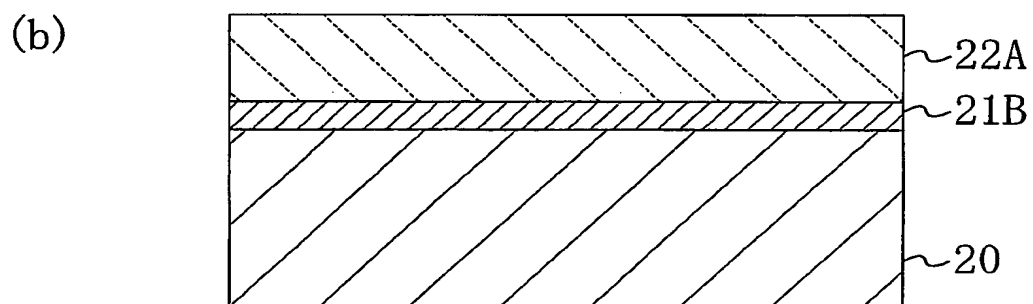
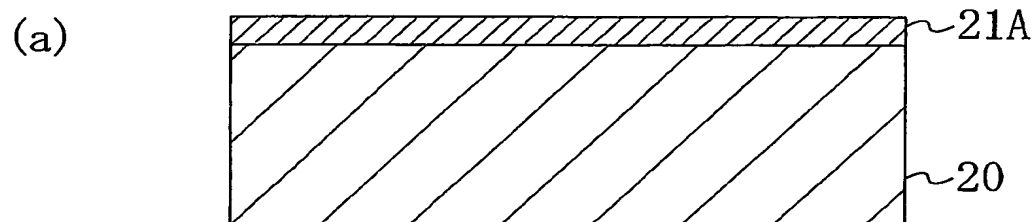


Fig. 8

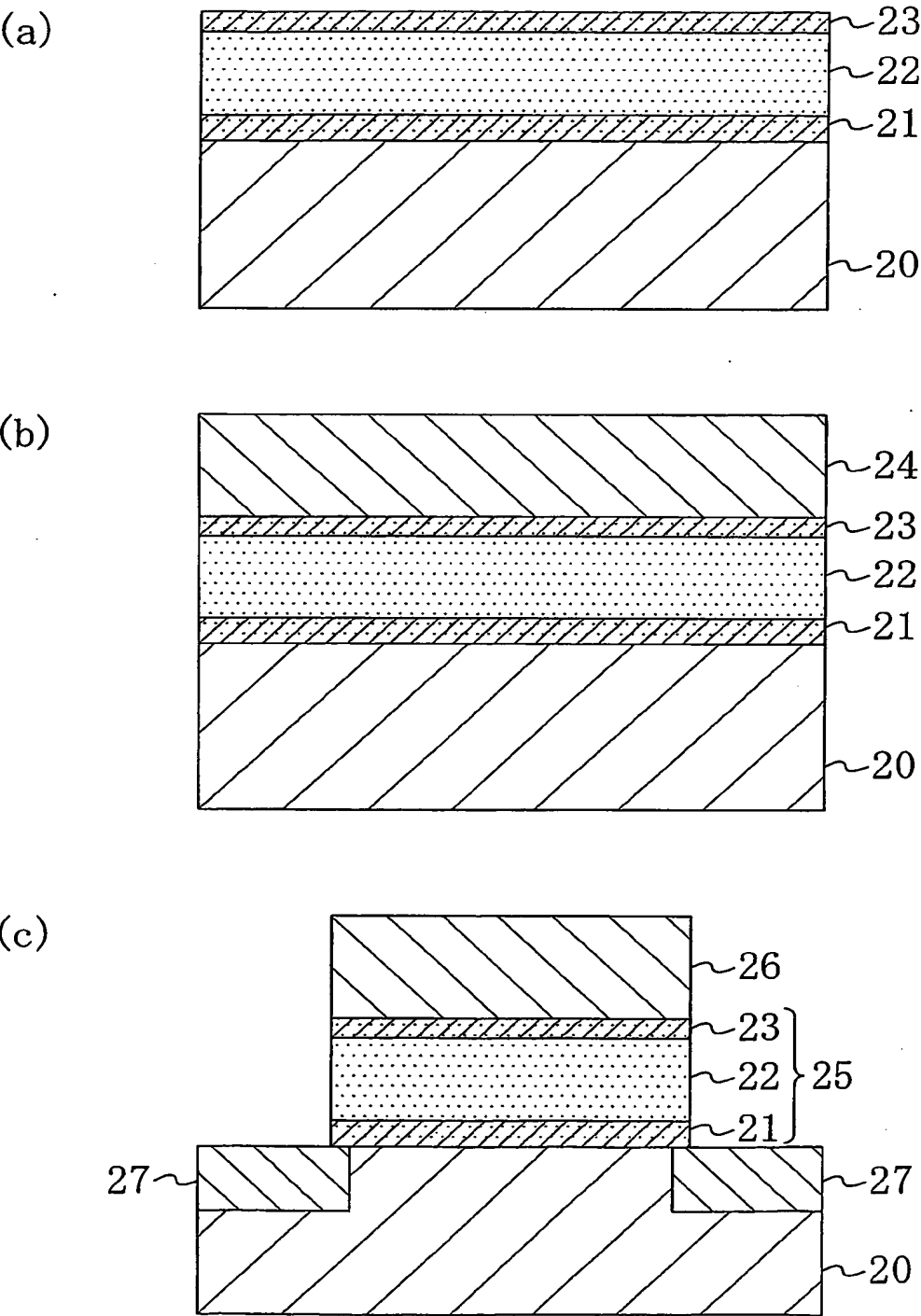


Fig. 9

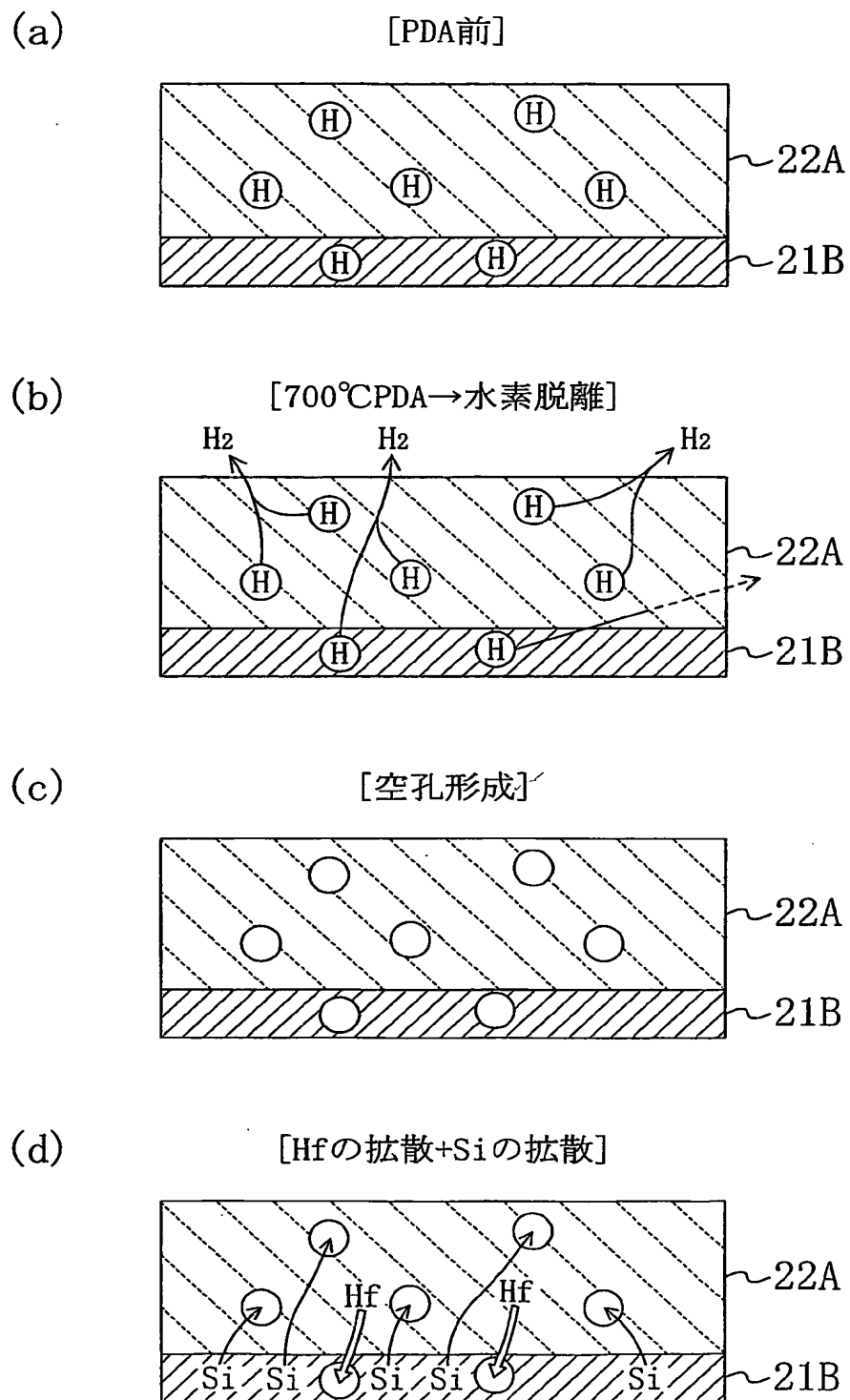


Fig. 10

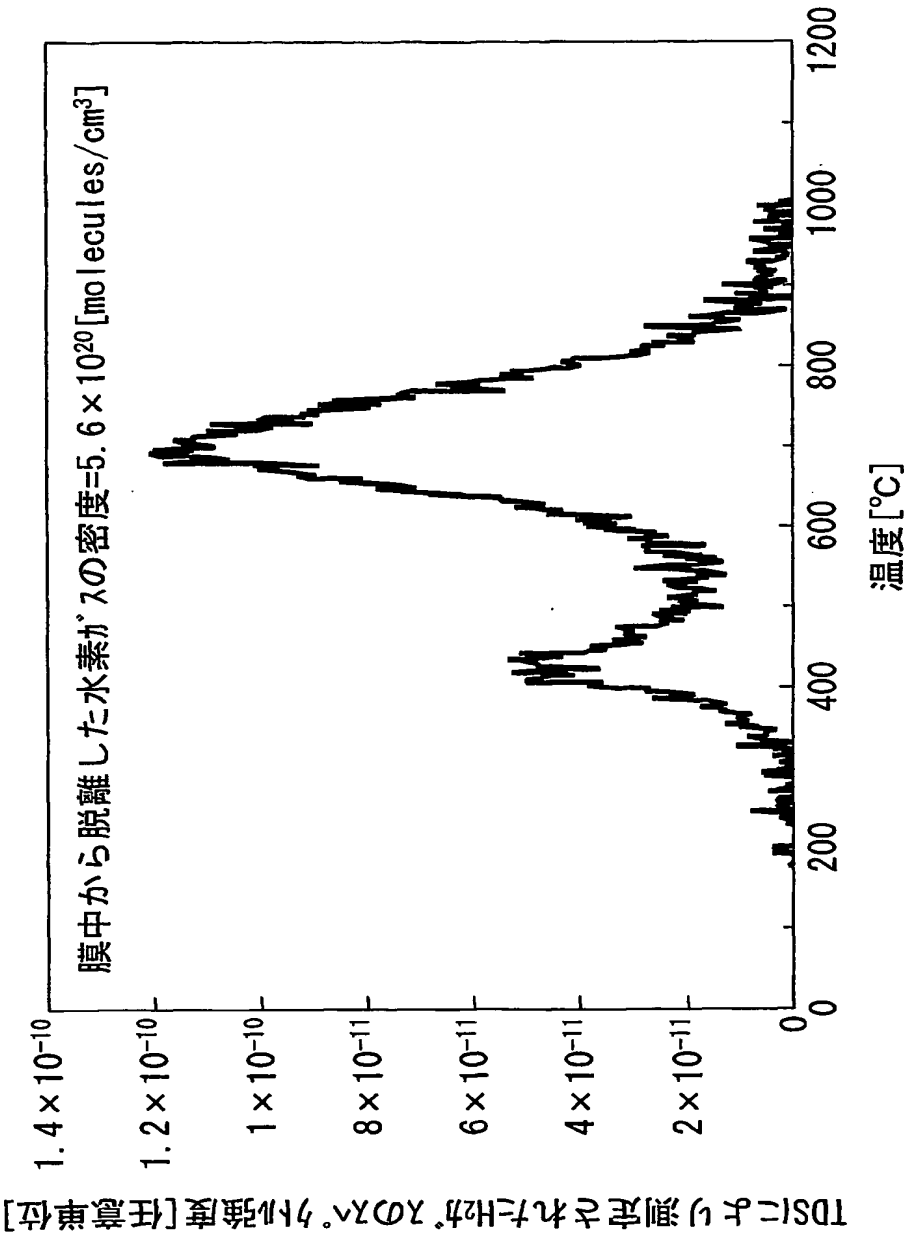


Fig. 11

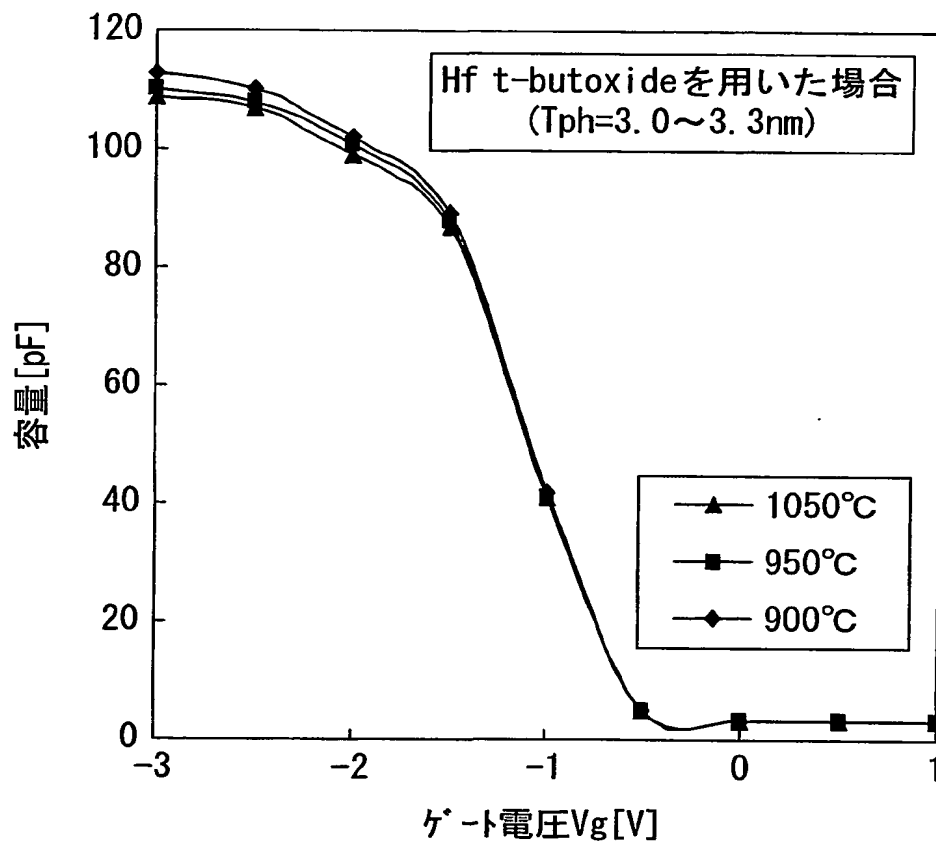


Fig. 12

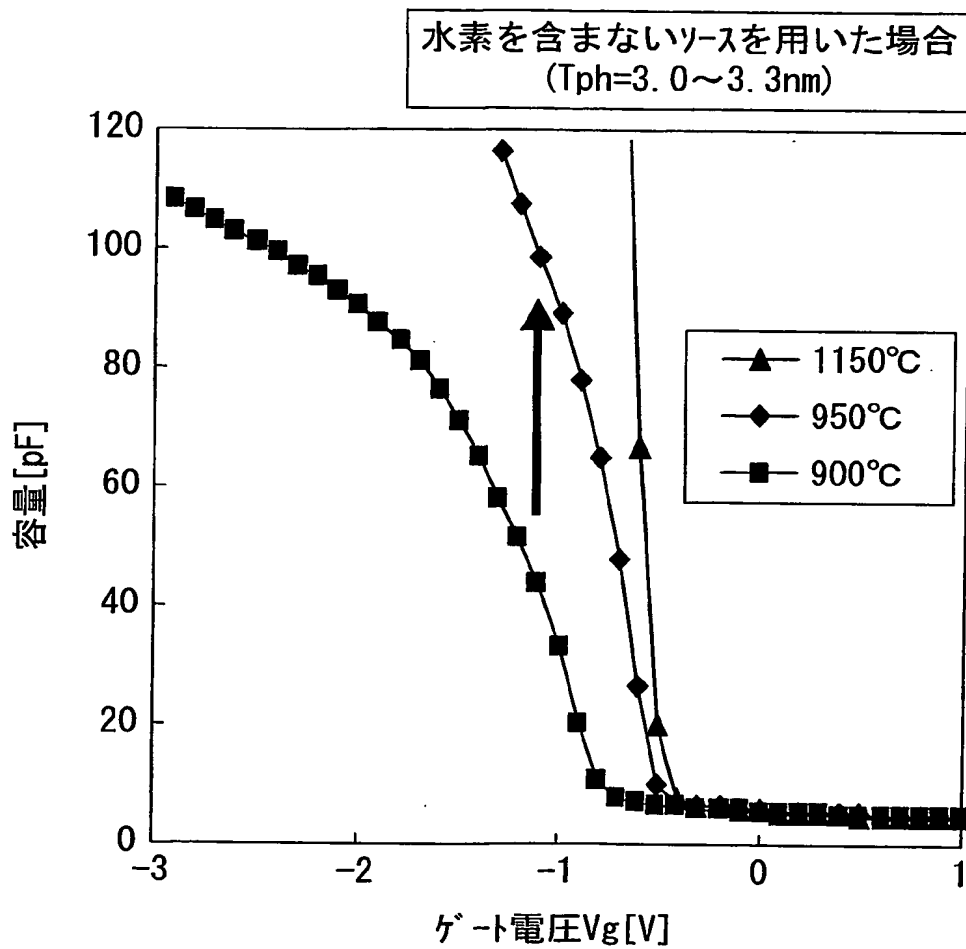


Fig. 13

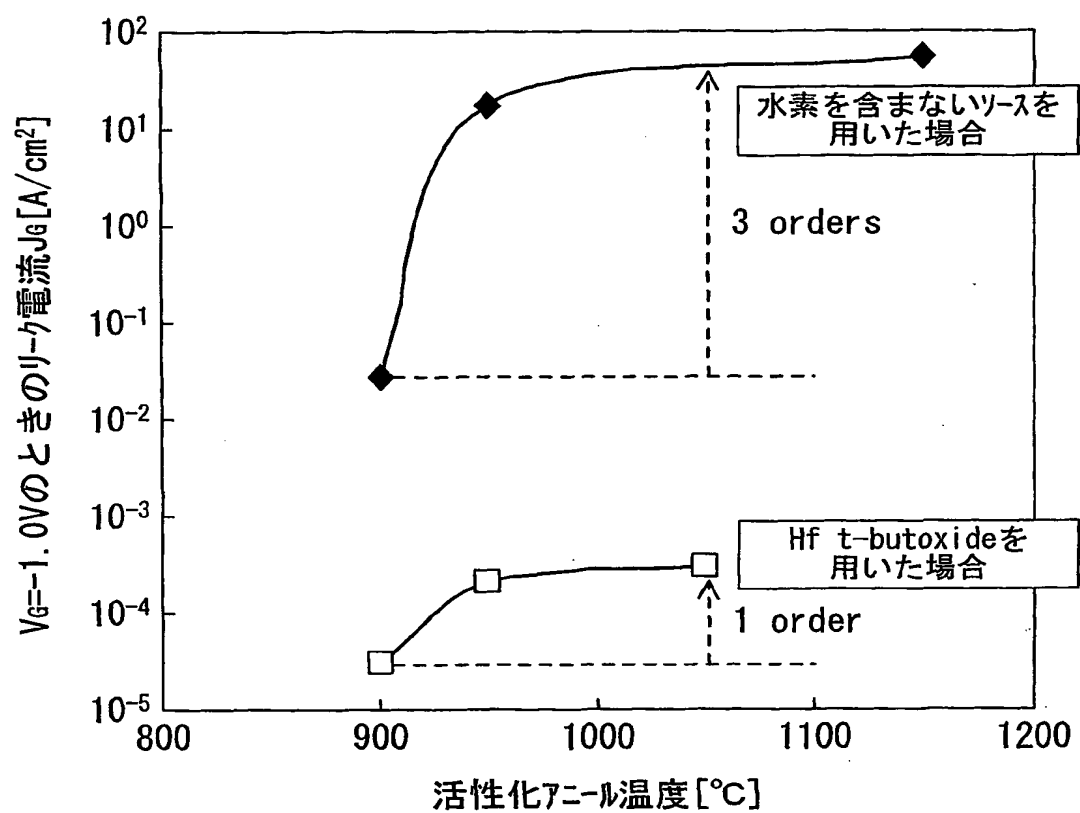
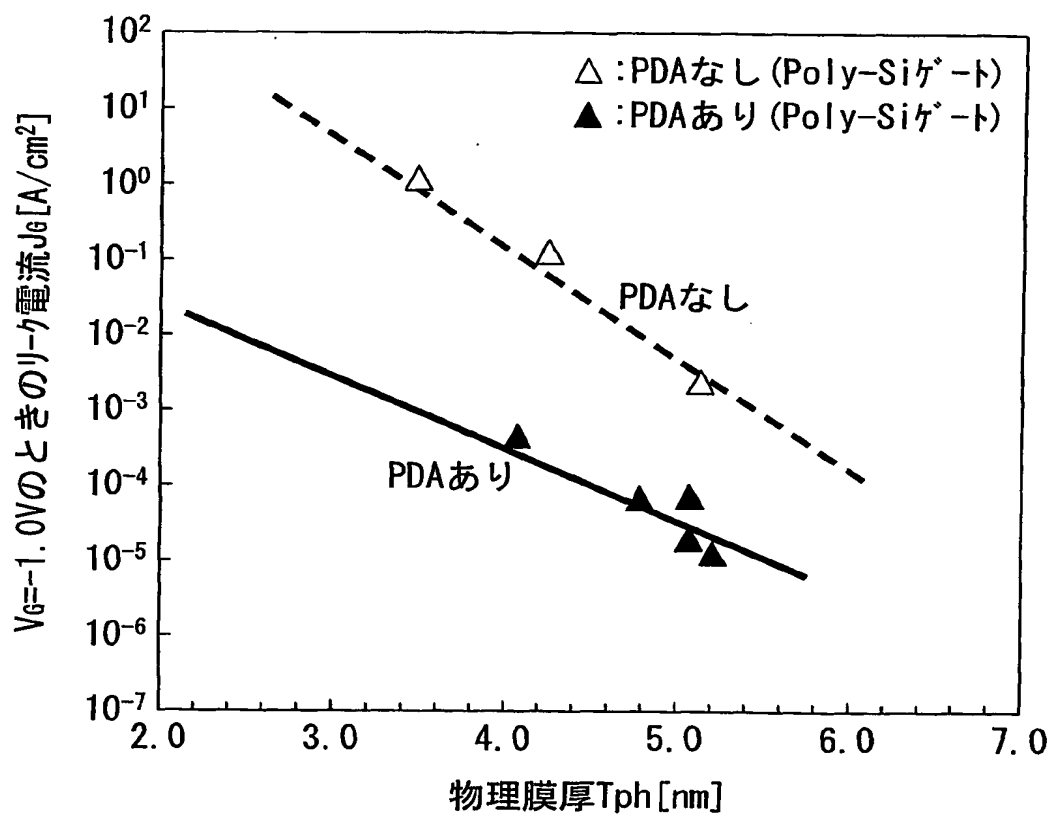


Fig. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05992

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1966-1996	Toroku Jitsuyo Shinan Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1108805 A1 (Motorola, Inc.), 20 June, 2001 (20.06.01),	1-6
A	Full text; Figs. 1 to 15 & JP 2001-223211 A Full text; Figs. 1 to 15	7-31
Y	US 6013553 A (Texas Instruments Inc.), 11 January, 2000 (11.01.00),	1-6
A	Full text; Figs. 1 to 12 & US 6020243 A Full text; Figs. 1 to 19 & JP 11-94094 A Full text; Figs. 1 to 20	7-31

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
25 July, 2002 (25.07.02)

Date of mailing of the international search report
06 August, 2002 (06.08.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/05992

C.(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 1028458 A (Texas Instruments Inc.), 16 August, 2000 (16.08.00),	1-6
A	Full text; Figs. 1 to 2 & JP 2000-208508 A Full text; Figs. 1 to 2	7-31
Y	Wilk, G.D. and Wallace, R.M. Electrical properties of hafnium silicate gate dielectrics deposited	1-6
A	directly on silicon. APPLIED PHYSICS LETTERS 10 May, 1999(10.05.99), Vol.74, No.19, pages 2854 to 2856	7-31
Y	Wilk, G.D. and Wallace, R.M. Stable zirconium Silicate gate dielectrics deposited directly on	1-6
A	Silicon. APPLIED PHYSICS LETTERS 3 January, 2000 (03.01.00), Vol.76, No.1, pages 112 to 114	7-31
Y	EP 1087430 A (Applied Materials, Inc.), 28 March, 2001 (28.03.01),	2
A	Full text; Figs. 1 to 4 & JP 2001-148380 A Full text; Figs. 1 to 4	14,15,26,27

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/316

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC)).

Int. Cl⁷ H01L29/78 H01L21/336 H01L21/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1966-1996年
 日本国公開実用新案公報 1971-2002年
 日本国実用新案登録公報 1996-2002年
 日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	EP 1108805 A1 (MOTOROLA, INC.) 2001. 06. 20, 全文, 第1-15図	1-6
A	& JP 2001-223211 A, 全文, 第1-15図	7-31
Y	US 6013553 A (Texas Instruments Incorporated) 2 000. 01. 11, 全文, 第1-12図	1-6
A	& US 6020243 A, 全文, 第1-19図 & JP 11-94094 A, 全文, 第1-20図	7-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25. 07. 02

国際調査報告の発送日

06.08.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

河 口 雅 英



4M

8421

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	EP 1028458 A (TEXAS INSTRUMENTS INCORPORATED) 2 000. 08. 16, 全文, 第1-2図 & JP 2000-208508 A, 全文, 第1-2図	1-6 7-31
Y A	Wilk, G.D. and Wallace, R.M. Electrical properties of hafnium silicate gate dielectrics deposited directly on silicon. AP PLIED PHYSICS LETTERS 10 May 1999, Vol.74, No.19, pages2854- 2856	1-6 7-31
Y A	Wilk, G.D. and Wallace, R.M. Stable zirconium silicate gate dielectrics deposited directly on silicon. APPLIED PHYSICS L ETTERS 3 January 2000, Vol.76, No.1, pages112-114	1-6 7-31
Y A	EP 1087430 A (Applied Materials, Inc.) 200 1. 03. 28, 全文, 第1-4図 & JP 2001-148380 A, 全文, 第1-4図	2 14, 15 26, 27